



Facultad de Ingeniería

**Carrera de Ingeniería Electrónica**

**PROGRAMA ESPECIAL DE TITULACIÓN**

**“Diseño de un Prototipo de Monitoreo  
de Funciones vitales en FPGA para  
Hospitales Nacionales del Perú”**

Autor: Bondia Condori, Herbert Oswaldo

Para obtener el Título Profesional de  
Ingeniero Electrónico

Asesor: Quispe Romero, Robert Isaías

Lima, Junio 2019

### **DEDICATORIA**

Dedico este desarrollo del proyecto a Dios y a mis padres, por su apoyo incondicional durante este trabajo de investigación.

## **AGRADECIMIENTO**

Le agradezco profundamente a Dios por permitirme estar con vida, luego a mis padres por su apoyo incondicional, a mis profesores de la universidad, compañeros de mi etapa universitaria por los consejos, asesorías, aportes de conocimiento y tutorías para hacer realidad este trabajo de investigación.

## **RESUMEN**

En este proyecto se diseñó un prototipo de monitor portátil de funciones vitales del cuerpo humano, el cual detectara los parámetros de temperatura, electrocardiograma y saturación de oxígeno. En la primera etapa se estudió los parámetros vitales de cuerpo humano, y qué tan importante es para el médico, para lograr obtener un mejor monitoreo de los estados de salud de sus pacientes. Se logró desarrollar el diseño propuesto en un sistema embebido como el Fpga de la familia Intel aplicando un software gratuito como el Quartus Prime. Que comprende las etapas de conversión, multiplexor y transmisión a través del puerto serial, así mismo, el interfaz gráfico de usuario basada en LabView, con la aplicación de Visa LabView. Asimismo lograron simular el Ecg, la Temperatura y el Spo2 en una placa de Max10 de Intel, con módulos ya desarrollados en el mercado, donde finalmente comprobar correcta programación en Vhdl, integrando la placa de Max 10 de Intel con los sensores utilizados para obtener las funciones vitales antes señaladas.

**Palabras claves:** Funciones Vitales, Fpga, Vhdl, Quartus.

## INDICE GENERAL

Contenido	pág.
<b>DEDICATORIA</b> .....	<b>i</b>
<b>AGRADECIMIENTO</b> .....	<b>ii</b>
<b>RESUMEN</b> .....	<b>iii</b>
<b>INDICE GENERAL</b> .....	<b>iv</b>
<b>INDICE DE FIGURAS</b> .....	<b>vi</b>
<b>INDICE DE TABLAS</b> .....	<b>ix</b>
<b>INTRODUCCIÓN</b> .....	<b>1</b>
<b>CAPITULO 1</b> .....	<b>2</b>
<b>SITUACION DEL PROBLEMA</b> .....	<b>2</b>
<b>1.1 Definición problemática</b> .....	<b>2</b>
<b>1.2 Objetivos</b> .....	<b>4</b>
1.2.3 Alcances y Limitaciones.....	4
1.2.4 Justificación.....	5
1.2.5 Estado del Arte .....	5
Internacional .....	5
Nacional .....	8
<b>CAPITULO 2</b> .....	<b>9</b>
<b>MARCO TEORICO</b> .....	<b>9</b>
<b>2.1 Fundamento teórico</b> .....	<b>9</b>
2.1.1 Origen de los impulsos eléctricos. ....	9
2.1.2 Características de ad8232.....	10
2.1.3 Funcionamiento teórico de un Pulsioxímetro.....	12
2.1.4 MAX30100.....	15
2.1.5 Temperatura corporal interna.....	17
2.1.6 DS18B20 .....	18
2.1.11 FPGA .....	23
2.1.12 LABVIEW.....	24
2.1.13 NORMAS INTERNACIONALES .....	26
2.1.14 ANTECEDENTES .....	29
2.1.15 RANGOS DE LOS FUNCIONES VITALES .....	31
<b>2.2 Modelamiento del Sistema</b> .....	<b>33</b>
2.2.1 Conversor ADC.....	33
2.2.2 Convertidor de binario a BCD.....	35

2.2.5 Diseño de un UART. ....	43
<b>CAPITULO 3.....</b>	<b>49</b>
<b>DESARROLLO DEL DISEÑO.....</b>	<b>49</b>
3.1 Diseño .....	49
3.2 Diagrama de bloques .....	49
3.3 Sensores y dispositivos empleados para el sistema.....	51
3.4 Diseño en el Programa Quartus 16.0 .....	53
3.4.1 Diseño de Adquisición de Señales .....	54
<b>CAPITULO 4.....</b>	<b>77</b>
<b>RESULTADOS.....</b>	<b>77</b>
4.1 Análisis, pruebas y simulaciones.....	77
4.1.2 Pruebas con simulador. ....	78
4.1.3 Pruebas con paciente .....	79
4.1.5 Cuantificación del costo del prototipo propuesto.....	80
<b>CONCLUSIONES.....</b>	<b>82</b>
<b>RECOMENDACIONES.....</b>	<b>83</b>
<b>GLOSARIO.....</b>	<b>84</b>
<b>BIBLIOGRAFÍA.....</b>	<b>85</b>
<b>ANEXO.....</b>	<b>90</b>

## INDICE DE FIGURAS

Contenido	Pág.
Figura 1 Ondas ECG .....	9
Figura 2 Posición de los electrodos periféricos y precordiales respectivamente .....	10
Figura 3 Diagrama esquemático Simplificado .....	11
Figura 4 Respuesta de frecuencia del circuito de bloqueo de CC de un solo polo .....	12
Figura 5 Relaciones de absorciones de luz roja e infrarroja por la hemoglobina .....	13
Figura 6 Diagrama de bloques de Max 30100 .....	16
Figura 7 Diagrama funcional de Max30100 .....	16
Figura 8 Escala de temperatura .....	18
Figura 9 Sensor Ds18b20 .....	19
Figura 10 RS-232C Transmisión en interfaz serie de un valor de datos de 8 bits .....	20
Figura 11 Las dos opciones de configuración del dispositivo esclavo SPI .....	22
Figura 12 I2C Interfaz I2C transmisión en serie de un valor de datos de 8 bits. ....	23
Figura 13 Tarjeta de desarrollo DE10-Lite .....	24
Figura 14 Panel Frontal .....	25
Figura 15 Diagrama de Bloques.....	25
Figura 16 Funciones de Comunicación .....	26
Figura 17 Proceso de conversión analógico-digital .....	33
Figura 18 Muestreado de una señal .....	33
Figura 19 Respuesta en frecuencia de una señal muestreada con $f_s > 2f_{max}$ .....	34
Figura 20 Respuesta en frecuencia de una señal muestreada con $f_s < 2f_{max}$ .....	34
Figura 21 Cuantificación de una señal .....	35
Figura 22 Ejemplo de implementación .....	35
Figura 23 Lógica de conversión de binario a BCD de un solo dígito .....	38
Figura 24 Convertidor de binario a BCD de varios dígitos .....	39
Figura 25 Figura Multiplexor 2x1 .....	39
Figura 26 Diseño de un multiplexor .....	40
Figura 27 Esquema. Divisor de frecuencia .....	40
Figura 28 Diagrama de estados. Divisor de frecuencias .....	41
Figura 29 Diagrama de tiempos 1. Divisor de frecuencia .....	41
Figura 30 Diagrama de tiempos 2. Divisor de frecuencia .....	42
Figura 31 FSM Design. Divisor de frecuencia .....	43
Figura 32 Circuito RTL.....	43
Figura 33 Esquema de la conexión RS-232 .....	43
Figura 34 Protocolo de comunicación RS-232.....	44
Figura 35 Especificaciones del UART .....	44
Figura 36 Especificaciones. Baud Rate generator.....	45
Figura 37 Especificaciones. Transmitter unit.....	46

Figura 38 Especificaciones. Control Unit .....	46
Figura 39 Datapath Unit .....	47
Figura 40 Especificaciones. Circuito receptor .....	47
Figura 41 Especificaciones. Control unit .....	48
Figura 42 Diagrama de bloques y pictórico del proyecto a Diseñar .....	50
Figura 43 Diagrama en RTL del circuito Principal en Quartus 16.0 .....	54
Figura 44 Diagrama de bloques de ECG .....	55
Figura 45 Circuito RTL de la etapa ADC .....	55
Figura 46 Circuito RTL de la etapa ADC parte 2. ....	56
Figura 47 Circuito RTL de la etapa ADC parte 3. ....	56
Figura 48 Circuito RTL de la etapa ADC continuando la parte 3 .....	57
Figura 49 Diagrama de bloques de sensor de saturación .....	57
Figura 50 Circuito RLT de la etapa Binario a BCD parte 1 .....	58
Figura 51 Circuito RTL de etapa Binario a BCD parte 2 .....	58
Figura 52 Circuito RTL de la etapa de BCD a ASCII .....	59
Figura 53 Diagrama de bloques de sensor de temperatura .....	59
Figura 54 Circuito RTL de la etapa Divisor de Frecuencia. ....	60
Figura 55 Circuito RTL de controlador DS18B20. ....	60
Figura 56 Circuito RTL de controlador DS18B20 ampliado. ....	61
Figura 57 Diagrama de estados del bloque state, del controlador DS18B20 .....	61
Figura 58 Circuito RTL del bloque CRC, para el controlador DS18b20. ....	62
Figura 59 Diagrama de estados del bloque CRC_state. ....	63
Figura 60 Circuito RTL del bloque de binario a BCD parte 1 .....	64
Figura 61 Circuito RTL del bloque Binario a BCD parte 2 .....	64
Figura 62 Circuito RTL del bloque Binario a BCD parte 3 .....	65
Figura 63 Circuito RTL del bloque Binario a BCD parte 4 .....	65
Figura 64 Circuito RTL del bloque X7seg. ....	66
Figura 65 Circuito RTL del bloque conversor de datos BCD a ASCII .....	66
Figura 66 Circuito RTL del bloque de BCD to ASCII .....	67
Figura 67 Circuito RTL del bloque MUX .....	68
Figura 68 Circuito RTL del bloque de transmisor. ....	69
Figura 69 Circuito RTL del bloque dividerp1 .....	69
Figura 70 Diagrama de estados del bloque state (transmisor). ....	70
Figura 71 Circuito RTL del bloque uart_tx .....	71
Figura 72 Circuito RTL del bloque baudgen. ....	71
Figura 73 Diagrama de estados del bloque state (uart) .....	72
Figura 74 Panel Frontal de LabVieb 2017. ....	73
Figura 75 Diagrama de funciones e instrumentos de Visa LabView .....	74
Figura 76 En la figura se observa el simulador de Ecg y el panel frontal Lab view .....	74
Figura 77 En la figura se observa los módulos de sensores, serial y el FPGA. ....	75
Figura 78 Prueba y simulación del prototipo en la plataforma LabView 2017 .....	78
Figura 79 Los valores medidos, mostrados en la interface gráfica. ....	79



Figura 80 Prueba de prototipo con una persona.....	79
Figura 81 Los valores Obtenidos del equipo patrón .....	79
Figura 82 Prueba en un equipo Patrón .....	79

## INDICE DE TABLAS

Contenido	Pág.
Tabla 1 Cuadro estadístico de la situación encontrado en el HEVES .....	3
Tabla 2 Cuadro de porcentaje antes del prototipo .....	3
Tabla 3 Métodos no invasivos .....	18
Tabla 4 Intervalo y exactitud de la Fabrica Nellcor .....	31
Tabla 5 Características y Especificaciones de la marca Mortara. ....	32
Tabla 6 Especificaciones técnicas de la Marca Citizen.....	32
Tabla 7 Tabla de verdad de registro binario a BCD .....	37
Tabla 8 Valores de multiplexor .....	39
Tabla 9 Tabla de estados .....	42
Tabla 10 Tabla de estados del bloque state .....	62
Tabla 11 Tabla de estados del bloque CRC_state .....	63
Tabla 12 Tabla de estado del bloque state.....	70
Tabla 13 Tabla de estados del bloque state.....	72
Tabla 14 Rangos de ECG:.....	75
Tabla 15 Rangos de Spo2: .....	76
Tabla 16 Rangos de Temperatura: .....	76
Tabla 17 Cuadro estadístico después de desarrollar el prototipo en el HEVES .....	77
Tabla 18 Cuadro de porcentaje después del prototipo .....	77
Tabla 19 Resultados .....	78
Tabla 20 Comparación de valores de cada parámetro .....	80
Tabla 21 Tabla de Flujo de gastos en el tiempo de ejecución .....	80
Tabla 22 Tabla Lista de Costos.....	81

## **INTRODUCCIÓN**

En la actualidad hay centros de salud pública en el país, requieren dispositivos médicos como los monitores portátiles de funciones vitales, cuyos valores de funciones se alteran cuando se presentan anomalías o problemas en nuestro organismo. Si bien en el mercado existen diversos modelos y marcas de monitorización portátil, pero no todos ellos son económicos, como también existen equipos y modelos buenos y regulares. En los centros de salud, los médicos y pacientes se ven obligados a realizar mediciones donde muchas veces lo hacen en forma manual con algún medio físico o digital generando atraso en la atención de paciente. El presente trabajo buscara desarrollar un dispositivo de medición de funciones vitales con aplicaciones informáticas y poder monitorizarlos resultados mediante una pc o computadora portátil.

## **CAPITULO 1**

### **SITUACION DEL PROBLEMA**

#### **1.1 Definición problemática**

Un Problema en particular es la deficiencia en hospitales por equipos médicos, un caso es el monitor de funciones vitales para medir los parámetros de saturación de oxígeno, temperatura corporal, señal electrocardiograma y la presión arterial no invasiva para un buen diagnóstico del paciente. ¿Podrá este diseño de un prototipo de monitoreo de funciones vitales en Fpga aumentar la eficiencia y mejorar la atención a los pacientes de Hospitales nacionales del Perú?

##### **1.1.1 Descripción del Problema**

En los centros de salud u hospitales del país, encontramos diversas necesidades de innovación y tecnología, sobre todo como los dispositivos biomédicos, ejemplo la falta de monitoreo de funciones vitales, pierde efectividad, tiempo, comodidad del médico y puede tener consecuencias graves, e incluso hasta mortal. Por ejemplo un diario nacional publica lo siguiente:

El 44% de los establecimientos visitados no tiene el equipamiento requerido para la atención de los pacientes como por ejemplo, analizador de gases y electrolitos portátil, ecógrafo portátil, monitor de funciones vitales neonatales de 05 parámetros, monitor

esofágico de gasto cardiaco continuo, entre otros. En tanto, el 37% no cuenta con la infraestructura requerida, siendo los hospitales de la Policía Nacional (57%), Gobiernos Regionales (50%) y Essalud (37%) los que en mayor porcentaje no cumplen con la infraestructura adecuada. En ambos casos, el riesgo es no brindar atención oportuna y de calidad a los pacientes. (Gestion, 2018)

A continuación presentare un cuadro estadístico de mi centro de labores en un área más demandada.

Tabla 1 Cuadro estadístico de la situación encontrado en el HEVES

CUADRO ESTADISTICO DE LA SITUACION ENCONTRADO EN EL HOSPITAL DE EMERGENCIAS VILLA EL SALVADOR							
N°	AREA	UBICACIÓN	CAMA	MONITORES DE F.V	PACIENTES CON MONITORES	PACIENTES SIN MONITORES	PROTOT IPO
1	EMERGENCIA	OBSERVACIONE S MUJERES	10	4	4	6	0
2	EMERGENCIA	OBSERVACIONE S VARONES	11	5	5	6	0
3	TOTAL		21	9	9	12	0

Fuente: propia

Tabla 2 Cuadro de porcentaje antes del prototipo

<b>CUADRO DE PORCENTAJE ANTES DEL PROTOTIPO</b>		
PACIENTES TOTAL O.VARONES	11	100%
PACIENTES MONITORIZADOS	5	45.45%
PACIENTES SIN MONITORIZAR LAS 03 FUNCIONES VITALES	6	54.54%
TOTAL DE PACIENTES DEL AREA	21	100%
PACIENTES MONITORIZADOS TOTAL	9	42.86%
PACIENTES SIN MONITORIZAR LAS 03 FUNCIONES VITALES TOTAL	12	57.14%

Fuente: Propia

Como se observa en los cuadros, tenemos solo el 45.45 % de pacientes monitorizados en área de observaciones Varones.

## **1.2 Objetivos**

En este subcapítulo se presentara los objetivos generales y específicos para hacer realidad el proyecto. También se mencionara limitaciones que tendrá el proyecto y por último se definirá el estado del arte.

### **1.2.1 Objetivo General**

Diseñar y desarrollar un prototipo de monitoreo de funciones vitales en FPGA para hospitales nacionales del Perú, para cubrir la atención de los pacientes.

### **1.2.2 Objetivos específicos.**

- Acondicionar el módulo de adquisición de ECG (Electrocardiógrafo) en el sistema a desarrollar.
- Diseñar el controlador de Spo2 en lenguaje VHDL para el sistema a desarrollar.
- Diseñar el controlador y el protocolo de comunicación del sensor de temperatura digital para el sistema a desarrollar.
- Diseñar y desarrollar el sistema de monitoreo de funciones vitales en FPGA.
- Diseñar una interfaz gráfica de usuario con el programa de LabView para registrar las señales de electrocardiograma, la saturación de oxígeno y la temperatura corporal de un paciente en una pc o laptop.

### **1.2.3 Alcances y Limitaciones.**

El estudio realizado es Descriptivo porque se busca propiedades, características y procesos, objetos o fenómenos para su análisis en otras palabras es medir y recoger información independiente o conjunta sobre conceptos o variables. El proyecto a desarrollar es Diseño de un prototipo de monitoreo de funciones vitales para hospitales nacionales del Perú. Como la temperatura corporal, electrocardiógrafo y temperatura. El proyecto a

desarrollar no podrá monitorear más de tres parámetros, también recordar que el equipo solo es prototipo.

#### **1.2.4 Justificación**

##### **Tecnológico**

Se incentiva el desarrollo de la electrónica digital aplicado a la medicina, como Fpga, plataformas informáticas de última generación.

##### **Económico**

El proyecto si cumpliera las normas internacionales de equipos biomédicos, sería muy rentable para el empresario.

##### **Social**

El proyecto investigado tiene un impacto social para las personas que no tienen oportunidad de adquirir un monitoreo de signos vitales en su respectivo centro de salud, es de vital importancia para prevenir la muerte de los pacientes críticos.

##### **Medio ambiental**

El proyecto se caracteriza por ser ecológico, porque no emite contaminación al medio ambiente.

#### **1.2.5 Estado del Arte**

##### **Internacional**

Ya se logró investigar sobre valores de pronóstico y se puede utilizar para la predicción y el seguimiento de la propensión de un paciente a sobrevivir en una hospitalización, que usa la edad y los valores más extremos de 13 variables, incluyendo presión arterial sistólica, frecuencia cardíaca, temperatura, frecuencia respiratoria, gasto urinario, nitrógeno sanguíneo, hematocrito, recuento de glóbulos blancos, glucosa sérica, potasio sérico, sodio sérico, bicarbonato sérico y puntuación de coma de Glasgow. (Li-Wei H. Lehman, 2014)

El proyecto diseñado tiene la ventaja de hacer exámenes desde la casa del paciente, obteniendo rapidez y reduciendo costos. También es provechoso para el médico, por tener rapidez en el tratamiento de la persona a examinar. (Roberto Cabezas, 2017)

El autor del proyecto, desarrolla dispositivos para el campo de la biotecnología, con procesos cualitativo y cuantitativo, buscando la solución y construcción para procesar el monitoreo de forma continua de la temperatura corporal. (Anderson Monroy Reza, 2016)

En el siguiente proyecto se usa materiales como los siguientes: sensor de temperatura lm35, Sensor de pulsos para tarjeta de desarrollo, electrocardiógrafo ad8232, tarjeta de desarrollo arduino nano y fuente de alimentación. (Luis Eduardo Cárdenas Gaytán, 2016)

Ya existe trabajo donde propone un re-diseño analítico usando algoritmos de inteligencia artificial para predecir crisis de gravedad en pacientes hospitalizados en domicilios y tener un control preventivo de su salud. (Echeverría Urriola, 2015)

Describir un prototipo de monitor remoto que permita medir diferentes señales biomédicas como la presión arterial, la oxigenación de la sangre y el ritmo cardiaco para pacientes adultos estacionarios. Donde el prototipo tiene a conexión a internet donde se controla y se visualiza las señales biomédicas desde cualquier parte. (Caisatoa Chulca & Santana Andrade, 2018)

Ya se usan tarjetas de marca chipKit, plataforma para crear prototipos de hardware, usa código abierto como el microcontrolador PIC32 y es comercial en el mercado. (Tintín Durán, 2015)

El funcionamiento de las centrales de monitoreo, es importante la actualización de los valores de cada parámetro, en la tesis mencionado se logró actualiza cada segundo en la pantalla del monitor. Para lograrlo se envían todos los parámetros en un solo comando, como frecuencia cardiaca, frecuencia respiratoria, saturación de oxígeno, temperaturas, capnografía, presión no invasiva y presiones invasivas. (Niubó I., 2007)



De acuerdo al proyecto la idea es proponer tecnologías como FPGA para la implementación de sistema embebido, donde se puede encontrar tipos como SOCS Y ASICS, con el objetivo de reducir costos de producción. (Bareño, 2015)

Ya se ha desarrollado sistema versátil para el ECG, donde proporciona características de electrocardiógrafo y otros. También se debe considerar que el sistema es modular útil para agregar aplicaciones o modificar de manera rápida y sencilla. (Jacobo Schneider, 2015)

Las aportaciones tecnológicas al proyecto se cubren. La necesidad de monitorizar a los pacientes nacidos por exploración clínica y la entrevista con el paciente no son suficientes para llegar a un diagnóstico o para realizar un seguimiento adecuado de los pacientes. (José Miguel Gallego López, 2009)

Hay investigaciones que desarrollan la plataforma de la central de monitoreo, se basa en portal Dot Net Nuke de Framework.Net de Microsoft y utiliza elementos de protocolo de escritorio remoto (RDP) y computación en red virtual (VNC), soportado en la red del hospital, con elementos de seguridad y acceso. (A. Oscar Iván Varela Vélez, 2009)

Presentan la propuesta de desarrollo de un prototipo de sistema que permita monitorear el ritmo cardíaco de pacientes, con el fin de poder prevenir o dar aviso de anomalías que se presenten en él. Para implementar el sistema se diseñará un sistema embebido usando soft-core en un dispositivo programable de tipo FPGA. (Solano Bartolo, 2015)

Un proyecto resume que las señales digitalizadas pasan a una etapa de procesamiento en el microcontrolador, luego los datos se envían por bluetooth a una computadora (central de monitoreo). También desarrolló un software que se encarga de adquirir y visualizar en tiempo real los parámetros fisiológicos, además se puede revisar los datos almacenados y evaluados por un médico. Se desarrolla el diseño de un sistema de oximetría de pulso y capnografía, como procesamiento tiene PSoC (Programmable-System-on-chip), el cual tiene bloques análogos y digitales configurable, lo que permite adecuar las señales de sensores y también se hace el proceso digital de señales. (Carlos Andrés Gómez García J. V., 2014)

Su diseño describe el objetivo de capturar las señales vitales de paciente mediante la instrumentación electrónica, tomando como base la plataforma arduino y visualización de mediciones en Smartphone o Tablet en tiempo real. (Millán Lozano & Beltrán Blázquez, 2014)

### **Nacional**

En la actualidad el medico solicita el monitoreo de las funciones vitales para el paciente. La frecuencia cardiaca es vital para el diagnóstico de pacientes hospitalizados como ejemplo para un tratamiento ambulatorio. (LLamoca, 2012)

Se describe Los tres signos a trabajar como: presión arterial, pulso cardiaco y temperatura corporal. Asimismo, el sistema tendrá la ventaja de poder usarse a distancia, esto es usando un controlador Ethernet para el envío de información mediante el uso de internet y protocolos de comunicación inmersos en un microcontrolador. (Siadén-Paiva, 2017)

El proyecto diseñado será elaborado con un sistema embebido como FPGAS, para el monitor de funciones vitales tendrá una plataforma amigable, y bien didáctica para el operario. La parte de adquisición de señal se usara módulos ya existentes en el mercado y se probara con simulaciones de pacientes. (Fuente propia).

## CAPITULO 2

### MARCO TEORICO

#### 2.1 Fundamento teórico

##### 2.1.1 Origen de los impulsos eléctricos.

Los impulsos eléctricos se originan en el nodo sinoauricular, se ubica en la auricular derecha, alcanzando hasta el nodo auriculoventricular, logrando un proceso de despolarización y repolarización de las células del miocardio, y este fenómeno puede ser registrado por un electrocardiógrafo. Además se puede representar en una gráfica tiempo-voltaje, como se observa en la figura1. (Lora, 2017)

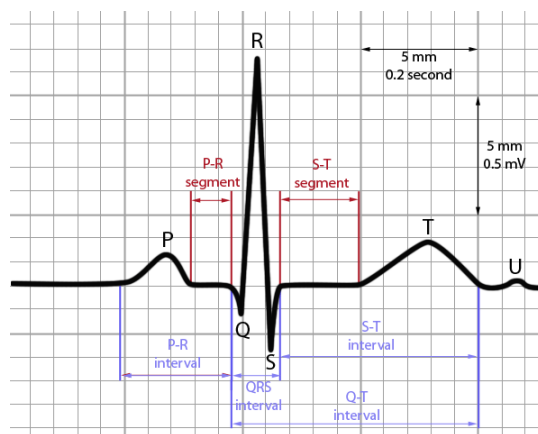


Figura 1 Ondas ECG  
Fuente:(Lora, 2017)

En la Figura 2. Se observa los puntos donde se ubican los electrodos, formado por intervalos, ondas y segmentos como: la onda p, segmento PR, onda QRS, segmento ST, onda T y onda U, este último no es apreciable. (Lora, 2017)

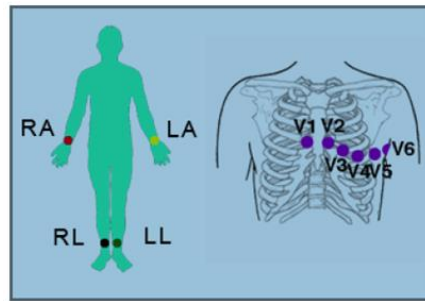


Figura 2 Posición de los electrodos periféricos y precordiales respectivamente  
Fuente: (Lora, 2017)

### 2.1.2 Características de ad8232.

El módulo ecg tiene bajo consumo de corriente de 170  $\mu$ A, además Tiene rechazo en modo común: 80 db (dc a 60hz), tiene alta ganancia de señal ( $G=100$ ), capacidades de bloqueo de cc, filtro paso alto de 2 polos. Cuenta también filtro paso bajo de polos con ganancia ajustable, cuenta con un amplificador de unidad de pierna derecha (RLD), SE ALIMENTA CON 2.0 V A 3.5 V, en conclusión este módulo se puede aplicar monitores de ritmo cardiaco, ecg portátil y etc. (Analog Devices, 2018)

**Descripción del ad8232.** es un bloque donde se acondiciona la señal para ecg, como extraer, amplificar y filtrar pequeñas señales biopotenciales logrando convertir el análogo a digital, también se puede implementar el filtro paso alto de dos polos. Incluso puede crear un filtro de paso bajo de tres polos para eliminar más ruidos. Tiene la opción de seleccionar la frecuencia de corte de todos los filtros, además cuenta con un amplificador como la unidad de pierna derecho (RLD). (Analog Devices, 2018)

### THEORY OF OPERATION

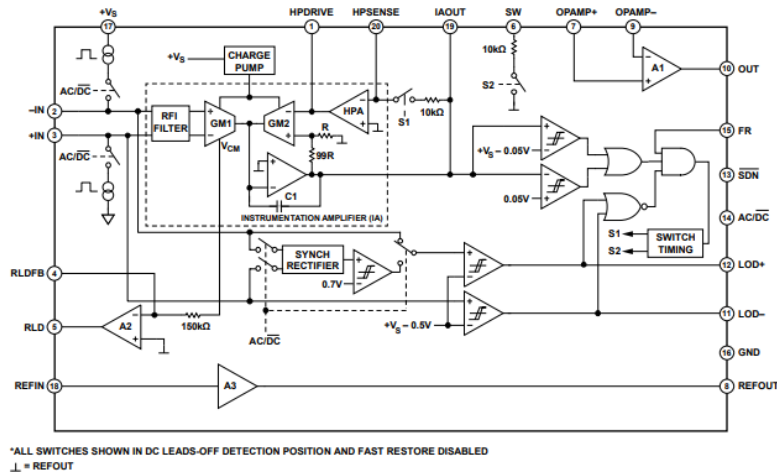


Figura 3 Diagrama esquemático Simplificado  
Fuente: (Analog Devices, 2018)

Vista general de la arquitectura. Esto evita aún más la saturación del amplificador en presencia de grandes señales de modo común, como la interferencia de línea. La bomba de carga funciona desde un interno Oscilador, cuya frecuencia se establece alrededor de 500 kHz. **Amplificador operacional.** Este amplificador operacional de propósito general (A1) es un riel a riel. Dispositivo que se puede usar para el filtrado de paso bajo y para agregar ganancia. Las siguientes secciones proporcionan detalles y circuitos de ejemplo que utilizan este amplificador. **Amplificador de manera derecha.** El amplificador de la unidad de la pierna derecha (RLD) invierte el modo común Señal que está presente en las entradas del amplificador de instrumentación. El tiempo total que tarda la referencia en establecerse dentro del 1% puede ser estimado con la formula

$$t_{SETTLE\_REFERENCE} = 5 \times \frac{R1R2C1}{R1 + R2}$$

La frecuencia de corte del filtro viene dada por la ecuación

$$f_{-3dB} = \frac{100}{2\pi RC}$$

Donde R está en ohmios y C está en faradios. Tenga en cuenta que el corte del filtro es 100 veces más alto de lo que suele ser esperado de un filtro de un solo polo. Debido a la retroalimentación Arquitectura del amplificador de instrumentación, el filtro típico. La ecuación de corte se modifica por la ganancia de 100 del amplificador instrumental.

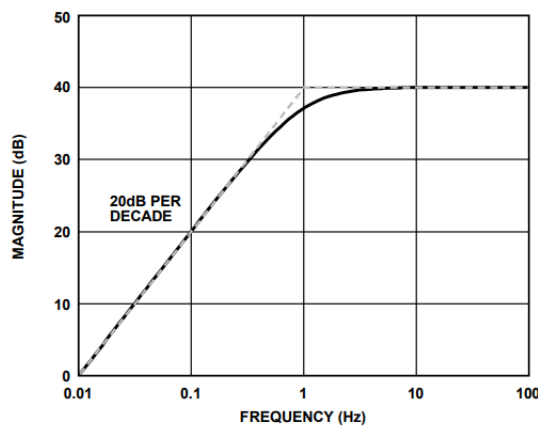


Figura 4 Respuesta de frecuencia del circuito de bloqueo de CC de un solo polo  
Fuente: (Analog Devices, 2018)

El AD8232 utiliza una interfaz de paciente de tres electrodos e implementa un filtro de paso alto de dos polos con un corte a 0,3 Hz y un filtro de paso bajo de dos polos Con una frecuencia de corte de 37 Hz. La ganancia de señal total en el la banda de paso es 400.

### 2.1.3 Funcionamiento teórico de un Pulsioxímetro

La saturación porcentual de oxígeno en sangre (spo2), mide la cantidad de oxigeno fijado en las células de hemoglobina. En conclusión el spo2 indica la cantidad de oxigeno transportado por las células rojas de la sangre, indicando la eficacia y transporte de oxigeno se representa mediante porcentaje, por ejemplo el adulto tiene un promedio de 96%.

El principio bajo el que opera el Pulsioxímetro, es la absorción de luz por la hemoglobina. La Ley de Lambert explica que hay una relación exponencial entre la transmisión de luz a

través de una sustancia y la concentración de la sustancia, así como también entre la transmisión y la longitud del cuerpo que la luz atraviesa. La luz absorbida por el tejido no pulsátil del cuerpo, como la uña, es constante (DC). Cuando la absorción deja de ser constante (AC) se habla de tejido sometido a la irrigación sanguínea y al carácter pulsátil de la misma. La parte correspondiente a AC apenas se corresponde con el 1-5% de la señal total obtenida en la medida. La alta frecuencia de los diodos LED permite que el nivel de absorción se pueda calcular varias decenas de veces por segundo, lo que entre otras cosas, permite reducir los efectos de movimiento y el ruido de la señal. En lo que respecta a los diodos LED, hay que saber que la hemoglobina oxigenada reacciona de una forma determinada al paso de la luz a su través, mientras que la sangre con una saturación de oxígeno menor, reacciona de forma diferente. Para la práctica, se utilizan diodos LED de 660nm y 910nm, es decir, Rojo e Infrarrojo. La hemoglobina oxigenada permite pasar una mayor cantidad de luz roja, y absorbe más cantidad de luz infrarroja. Por el contrario la hemoglobina con una menor saturación de oxígeno, permite pasar una mayor cantidad de luz infrarroja, mientras que absorbe más la luz roja. (Muela Galán, 2017)

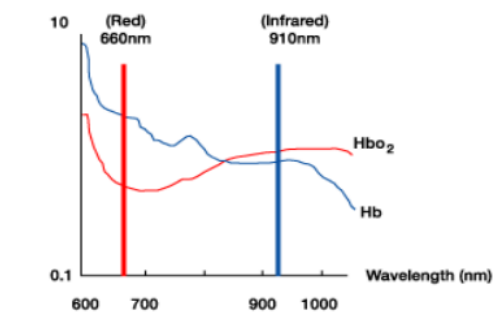


Figura 5 Relaciones de absorciones de luz roja e infrarroja por la hemoglobina  
Fuente:(Muela Galán, 2017)

A la hora de comparar los gráficos de absorción de la hemoglobina oxigenada y la desoxigenada, es interesante hablar del Punto Isosbético, que es aquel punto de un espectro de absorción, donde para dos sustancias o muestras, el nivel de absorción es el

mismo sin importar el grado de saturación o la densidad de las mismas. Para el caso de la hemoglobina este punto se sitúa en torno a los 840nm. Basados en este principio, se utilizan LEDs de ambas longitudes de onda, y un sensor que recogerá la luz que consigue pasar a través de la hemoglobina. Hay varios tipos de sensor de luz, que pueden ser de varios tipos como fotorresistivo, fotodiodo, CMOS, etc. En nuestro caso, se utilizará un convertidor de luz a voltaje, el TSL13Srs, en cuyo interior se encuentra un fotodiodo y un amplificador de transconductancia. Este componente transforma el nivel de luz recibido en un voltaje de entre 0V y 5V. Para llevar a cabo las mediciones, se debe situar alrededor de una zona rica en sangre del cuerpo, que permita pasar la luz de forma parcial, siendo casi imperativo que el sensor y las fuentes de luz estén en lugares opuestos, para maximizar el flujo lumínico entre ambos, evitando el mayor número de obstáculos y fuentes de ruido. El lugar más utilizado para realizar las mediciones es un dedo de la mano, ya que proporciona una superficie aislada, con una opacidad a la luz relativamente baja, y tiene una concentración aceptablemente alta de sangre, sobretodo bajo presión. De esta forma, situando en la uña la fuente de luz, y en la yema del dedo directamente en la trayectoria de la luz el sensor, se podrán tomar medidas. Cuando la luz atraviesa el dedo, el sensor recoge los diferentes valores de luz, que irán variando con el tiempo y la frecuencia cardiopulmonar del usuario. Todos los tejidos del cuerpo absorben luz en mayor o menor grado. La luz absorbida únicamente por la sangre se puede calcular observando el cambio en el nivel de luz a medida que el corazón genera pulsaciones que hacen a la sangre recorrer venas y arterias. En un osciloscopio, con el circuito final en pleno funcionamiento, debería ser observable a simple vista el nivel de voltaje de la señal oscilando levemente con los pulsos del corazón. De esta forma, el área de mínima absorción lumínica pertenecerá a la sangre, suponiendo poco más del 1% de la absorción total de luz, y se corresponderá como se dijo anteriormente con la componente AC de la señal. Sabiendo la cantidad de AC y DC generada en la absorción lumínica de luz roja e infrarroja, se puede calcular un coeficiente



normalizado R, que represente la proporción de hemoglobina oxigenada frente a la hemoglobina desoxigenada. (Muela Galán, 2017)

De esta forma, el coeficiente R tendrá la siguiente expresión:

$$R = \frac{\frac{(AC_{RMS 660nm})}{(DC 660nm)}}{\frac{(AC_{RMS 910nm})}{(DC 910nm)}} \quad (1)$$

#### 2.1.4 MAX30100.

Pulsioxímetro y sensor de frecuencia cardíaca IC para la salud usable. Descripción general, es una solución integrada para sensores de oximetría de pulso y monitor de frecuencia cardíaca. Combina dos LEDs, un Fotodetector, ópticas optimizadas y analógico de bajo ruido. Procesamiento de señales para detectar la oximetría de pulso y la frecuencia cardíaca. El MAX30100 funciona con fuentes de alimentación de 1.8V y 3.3V. Dispositivos portátiles, Dispositivos de monitoreo médico. **Beneficios y características.** Oxímetro de pulso completo y sensor de frecuencia cardíaca La solución simplifica el diseño. LEDs integrados, sensor de foto, y Frente analógico de alto rendimiento. Diminuto 5.6 mm x 2.8 mm x 1.2 mm 14 pines ópticamente Sistema mejorado en paquete. La operación de potencia ultra baja aumenta la vida útil de la batería para Dispositivos portátiles. Frecuencia de muestreo programable y corriente de LED para Ahorro de energía. Corriente de cierre ultra baja (0.7µA, tipo). Funcionalidad avanzada que mejora la medición Actuación. Alta SNR proporciona resistencia de artefacto de movimiento robusto. Cancelación de luz ambiental integrada. Alta capacidad de frecuencia de muestreo. Capacidad de salida de datos rápida. (Maxim Integrated, 2014)

## Diagrama de bloques del sistema

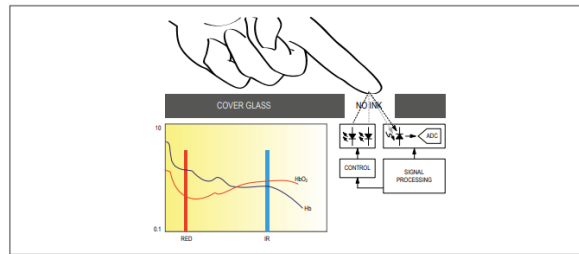


Figura 6 Diagrama de bloques de Max 30100  
Fuente:(Maxim Integrated, 2014)

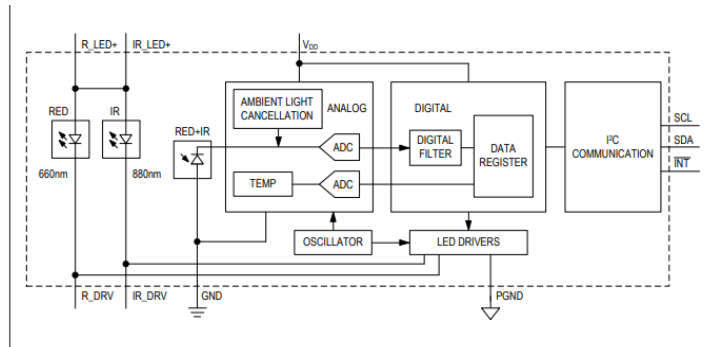


Figura 7 Diagrama funcional de Max30100  
Fuente: (Maxim Integrated, 2014)

## Descripción detallada

El MAX30100 es una solución completa del sistema de sensores de oximetría de pulso y ritmo cardíaco diseñada para los más exigentes. Requisitos de los dispositivos portátiles. El MAX30100 proporciona un tamaño de solución total muy pequeño sin sacrificar el rendimiento óptico o eléctrico. El MAX30100 es totalmente configurable a través de registros de software, y los datos de salida digital se almacenan en un formato de 16 profundos FIFO dentro del dispositivo. El FIFO permite el MAX30100 para ser conectado a un microcontrolador o microprocesador en un bus compartido, donde los datos no se leen de forma continua desde los registros del dispositivo. Subsistema spO2 El subsistema SpO2 en el MAX30100 está compuesto por cancelación de luz ambiental (ALC), sigma delta ADC de 16 bits, y filtro de tiempo discreto propietario. El ADC de SpO2 es una sigma de

sobre muestreo continuo. Convertidor delta con resolución de hasta 16 bits. La velocidad de datos de salida del ADC se puede programar de 50Hz a 1kHz. Los MAX30100 incluye un filtro de tiempo discreto patentado para Rechazar 50Hz / 60Hz de interferencia y baja frecuencia residual ruido ambiental. El algoritmo de SpO2 es relativamente insensible a la longitud de onda del LED IR, pero la longitud de onda del LED rojo es fundamental para corregir la interpretación de los datos. La temperatura Los datos del sensor se pueden utilizar para compensar el error de SpO2. Con los cambios de temperatura ambiente. Controlador de LED. El MAX30100 integra controladores LED rojos e IR para conducir Pulsos LED para mediciones de SpO2 y HR. El led la corriente se puede programar desde 0mA a 50mA (típico solo) con tensión de alimentación adecuada. El ancho de pulso del LED Se puede programar desde 200µs hasta 1.6ms para optimizar.

Medición de la precisión y el consumo de energía basado en casos de uso. Información de aplicaciones Tasa de muestreo y rendimiento El MAX30100 ADC es un conversor sigma delta de 16 bits. La frecuencia de muestreo de ADC se puede configurar desde 50 sps a 1ksps. La tasa de muestreo máxima para el ADC depende en el ancho de pulso seleccionado, que a su vez, determina la Resolución ADC. Por ejemplo, si el ancho de pulso se establece en 200µs, entonces la resolución ADC es de 13 bits y todas las muestras Las tasas de 50sps a 1ksps son seleccionables. Sin embargo, si el ancho del pulso se establece en 1600µs, entonces solo las frecuencias de muestreo de Se pueden configurar 100sps y 50sps. (Maxim Integrated, 2014)

### **2.1.5 Temperatura corporal interna**

Es de gran importancia la temperatura corporal interna para el monitoreo no invasivo. La temperatura externa e interna están relacionados, además la temperatura del cerebro y corazón es superior a la piel. Por lo tanto es de gran utilidad para el medico el parámetro de temperatura en un monitor. (Montero, 2015)

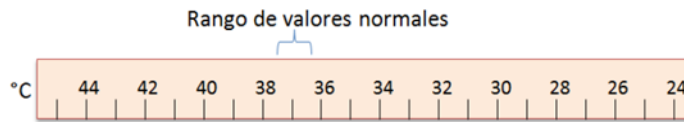


Figura 8 Escala de temperatura  
Fuente: (Montero, 2015)

### 2.1.5.1 Sistemas de medición de temperatura no invasivos

Este tipo de sistema se caracteriza por usar instrumentos que estén en contacto con la persona, es muy usado en la ingeniería clínica. De acuerdo a su principio de funcionamiento se puede clasificar métodos activos y pasivos, la diferencia es que el primero irradia calor y el segundo no irradian, a continuación se mostrara los tipos en la tabla 3. (Montero, 2015)

Tabla 3 Métodos no invasivos

Métodos	Principio
<b>Activos</b>	Transmisión o reflexión de microondas
	Transmisión de rayos X
	Transmisión o reflexión de ultrasonidos
	Resonancia magnética
<b>Pasivos</b>	Radiación de microondas
	Radiación de ultrasonidos
	Equilibrio térmico

Fuente:(Montero, 2015)

### 2.1.6 DS18B20

Es un termómetro digital, se caracteriza por usar un cable para la comunicación. Puede ser alimentado por la línea de datos, su rango de voltaje es de 3.0 v a 5.5v, mide temperaturas de -55°C hasta +125°C. Trabaja con resolución de 9 a 12 bits, este último le convierte a digital en 750 ms. se puede aplicar controles termostáticos, sistemas industriales, productos de consumo, termómetros y etc. (Maxim Integrated, 2018)

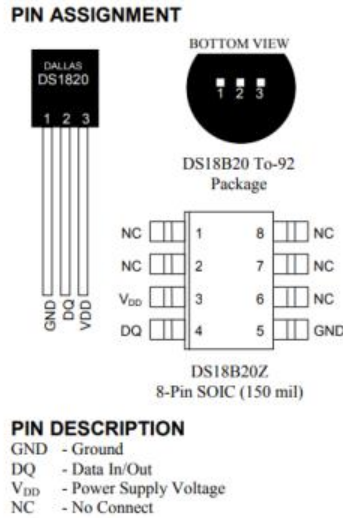


Figura 9 Sensor Ds18b20  
Fuente: (Maxim Integrated, 2018)

### 2.1.6.1 Descripción

El termómetro digital DS18B20 proporciona lecturas de temperatura de 9 a 12 bits (configurables) que indican la temperatura del dispositivo. La información se envía a / desde el DS18B20 a través de una interfaz de 1 cable, de modo que solo un cable (y tierra) se debe conectar desde un microprocesador central a un DS18B20. Poder para leer, escribir y realizar conversiones de temperatura puede derivarse de la propia línea de datos sin necesidad de un externo fuente de alimentación. Debido a que cada DS18B20 contiene un número de serie único de silicona, pueden existir múltiples DS18B20 en el mismo bus 1-Wire. Esto permite colocar sensores de temperatura en muchos lugares diferentes. Aplicaciones. Donde esta característica es útil, incluye controles ambientales de HVAC, temperaturas de detección dentro de edificios, Equipos o maquinaria, y seguimiento y control de procesos. (Maxim Integrated, 2018)

### 2.1.7 RS-232C Serial I/O Interface

La interfaz en serie RS-232C, Los datos de 8 bits Transmite un bit a la vez en serie. La mayoría de las PC tienen un puerto COM serie RS-232C. Las interfaces seriales tienen la ventaja de que requieren menos cables que una interfaz paralela y puede soportar cables

más largos. La implementación más simple, solo usa tres cables. Un cable para transmisión de datos (TD), uno para recibir datos (RD) y otro para señal de masa (GND). Los bits individuales se registran dentro y fuera en serie utilizando una señal de reloj. La frecuencia de este reloj de bits se denomina velocidad en baudios de la interfaz serie. El código de caracteres ASCII se usa generalmente en dispositivos serie, pero también pueden utilizarse para transferir valores binarios de 8 bits. El reloj de velocidad de transmisión no se sincroniza mediante un cable de señal conectado entre los dispositivos de envío y recepción, más bien es asíncrono y es derivado por una máquina de estado que observa las transiciones de bits de datos en serie que ocurren en el receptor. Para que esto funcione correctamente, el transmisor y el receptor deben estar configurados para operar a la misma velocidad de reloj o baudios. A pesar de que tienen la misma velocidad de reloj, la fase de reloj todavía debe estar sincronizada entre una serie de transmisor y receptor mediante el examen de la línea de datos serie entrante. El circuito lógico de hardware necesario para esta interfaz serie común se denomina Transmisor receptor asíncrono universal (UART). (James O. Hamblen, 2002)

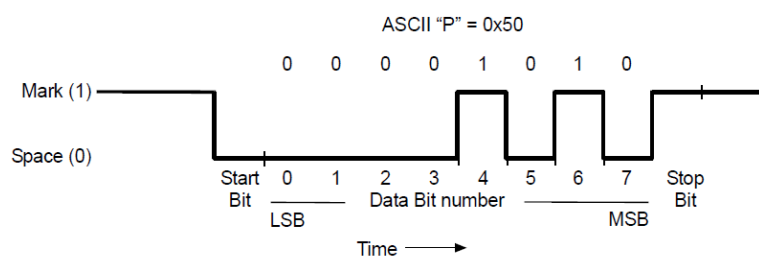


Figura 10 RS-232C Transmisión en interfaz serie de un valor de datos de 8 bits  
Fuente: (James O. Hamblen, 2002)

La figura 10 muestra la transmisión de un solo carácter ASCII a través de un RS- Interfaz serie 232C. El bit serie tiene dos estados. Mark es el estado alto (> 3V) y el espacio es el estado bajo (<-3V).

### **2.1.8 CP2102.**

Es un controlador de puente USB-UART altamente integrado que proporciona una solución simple para actualizar RS-232. Diseña a USB usando un mínimo de componentes y espacio PCB. El CP2102 incluye un USB 2.0 de máxima velocidad como Controlador de funciones, transceptor USB, oscilador, EEPROM y bus de datos serie asíncrono (UART). La EEPROM en chip se puede utilizar para personalizar la identificación del proveedor USB, la identificación del producto, la cadena de descripción del producto, La EEPROM se programa a bordo a través del USB, lo que permite que el paso de programación se integre fácilmente en el Proceso de fabricación y prueba del producto. Los controladores de dispositivo de puerto COM virtual (VCP) libres de derechos proporcionados por Silicon Laboratories permiten un CP2102. El producto aparecerá como un puerto COM para aplicaciones de PC. La interfaz UART CP2102 implementa todas las señales RS-232, incluidas las señales de control y reconocimiento, por lo que no es necesario modificar el firmware del sistema existente. (Silicon Laboratories, 2004)

### **2.1.9 SPI Bus Interface**

El bus de interfaz periférica en serie (SPI), Se utiliza principalmente para la comunicación en serie síncrona entre un procesador host. y circuitos periféricos. Se utilizan cuatro líneas de señal: Chip Select (CS), Serial Data. Entrada (SDI), salida de datos en serie (SDO), reloj en serie (SCLK). CS y SCLK. Son salidas proporcionadas por el dispositivo maestro. Los dispositivos esclavos reciben su reloj. Y las entradas de selección de chip desde el maestro. Si un dispositivo SPI no está seleccionado, su SDO La línea de salida entra en un estado de alta impedancia (tri-estado). El número de serie Los bits transferidos al dispositivo esclavo varían de un dispositivo a otro. Cada esclavo dispositivo contiene un registro de desplazamiento interno utilizado para transferir datos. En la figura 11 se observa los dos

tipos de conexiones entre dispositivos maestros y esclavos compatibles. (James O. Hamblen, 2002)

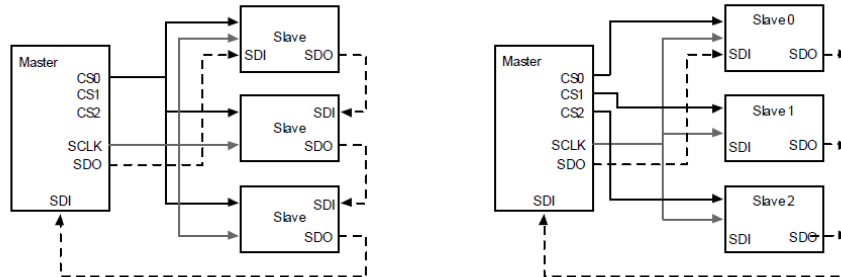


Figura 11 Las dos opciones de configuración del dispositivo esclavo SPI  
Fuente: (James O. Hamblen, 2002)

### 2.1.10 I2C Bus interface

El bus I2C usa dos cables de señal llamados SCL y SDA. SCL es el reloj line y SDA es la línea de datos y direcciones de serie de 1 bit. Una señal de tierra común es también necesario. Las líneas SCL y SDA son de drenaje abierto. Esto significa que la salida sólo se conduce bajo, nunca alto. Una resistencia externa de pull-up tira de las líneas alto cuando no hay un dispositivo conduciendo las líneas Bajo. Aunque hay varios dispositivos en el bus I2C, solo en el bus, el protocolo es un poco más complicado que SPI. Cuando el maestro necesita hablar con un esclavo, emite una secuencia de inicio en el bus I2C. En un comienzo de secuencia, SDA va de alto a bajo, mientras que SCL es alto. Para detener secuencia de un I2C, el maestro envía un comando de secuencia de parada. En una secuencia de parada, SDA va de bajo a alto, mientras que SCL es alto. Las secuencias de inicio y parada solo pueden ocurrir en SDA mientras SCL es alto. El maestro controla la línea de reloj SCL para transferir cada nuevo bit serie I2C. A forzar una espera, un dispositivo esclavo puede conducir SCL bajo. Por lo tanto, antes de cada nuevo I2C. En el reloj SCL, el maestro comprueba si un esclavo está forzando el SCL bajo. Es decir, el



maestro debe esperar. Los relojes SCL suelen ser de hasta 100 kHz con 400 kHz disponible en algunos dispositivos nuevos. En la figura 12 se muestra la transmisión en serie de un valor de 8 bits. (James O. Hamblen, 2002)

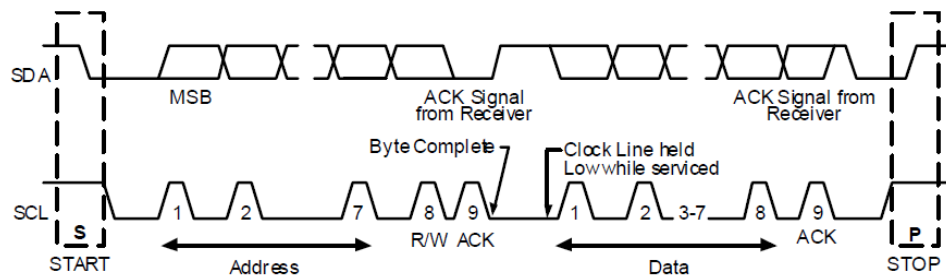


Figura 12 I2C Interfaz I2C transmisión en serie de un valor de datos de 8 bits.  
Fuente: (James O. Hamblen, 2002)

### 2.1.11 FPGA

Según el autor Solano (2015). Se debe recordar que las FPGA (Field Programmable Gate Array), desarrollado por Xilinx en 1985, son dispositivos que tiene una matriz bidimensional de bloques lógico configurables y conectados con recursos generales de interconexión. Los recursos se pueden considerar como pistas y conmutadores programables para interconectar bloques a pistas. En resumen lo que se programa son los conmutadores, que sirven para las conexiones entre bloques y su configuración. (Solano Bartolo, 2015)

#### 2.1.11.1 Tarjeta de desarrollo FPGA Altera MAX 10.

En la figura 13, se observa la tarjeta de desarrollo DE10-Lite presenta una robusta plataforma de diseño de hardware construida alrededor del Altera MAX 10 FPGA. Está bien equipado para proporcionar soluciones rentables de un solo chip en el control aplicaciones de avión o de ruta de datos y la lógica programable líder en la industria para el diseño final flexibilidad. Con MAX 10 FPGA, usted puede conseguir un menor consumo de potencia /

costo y alto actuación. Cuando necesite aplicaciones de gran volumen, incluyendo el protocolo de puente, unidad control de motores, conversión analógica a digital, procesamiento de imágenes y dispositivos de mano, el MAX 10 Lite. La placa de desarrollo DE10-Lite incluye hardware como USB Blaster integrado, 3 ejes acelerómetro, capacidades de video y mucho más. Al aprovechar todas estas capacidades, el DE10-Lite es la solución perfecta para mostrar, evaluar y crear prototipos del verdadero potencial de Altera MAX 10 FPGA. A continuación se mencionara las características técnicas del dispositivo de FPGA. Dispositivo MAX 10 10M50DAF484C7G, ADCs duales integrados, cada ADC admite 1 entrada analógica dedicada y 8 pines de doble función, Elementos lógicos programables 50K, 1,638 Kbits de memoria M9K, 5,888 Kbits memoria flash de usuario, 144 18 × 18 multiplicador, 4 PLLs. (Terasic, 2017)

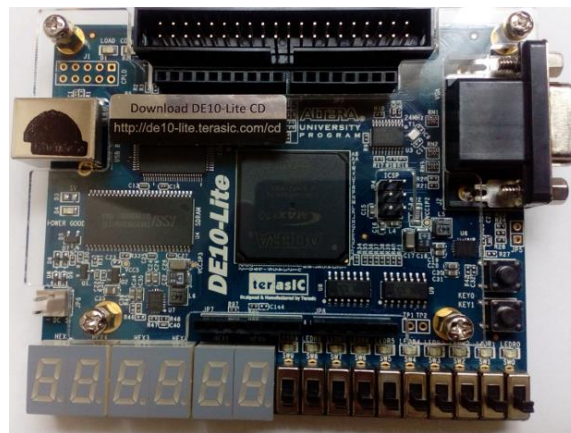


Figura 13 Tarjeta de desarrollo DE10-Lite  
Fuente: (Terasic, 2017)

## 2.1.12 LABVIEW.

LabView es óptimo para desarrollar tareas de software como desplegar señales vitales y simular electrocardiógrafo. Además se puede adquirir datos, controlar instrumentos simulados o reales y desarrollar interfaces de forma gráfica para el usuario. El programa labView se conoce también como instrumento virtual, estos se puede representar con un

cuadro o símbolo relacionado a una función. Para entenderlo se divide en dos secciones uno panel de frontal, formado por controles e indicadores como se observa en la Figura 35. Y otro en diagrama de bloques donde se encuentran funciones encargados de realizar operaciones para determinar la función del programa como se observa en la Figura 14. (Vizcaino, 2014)

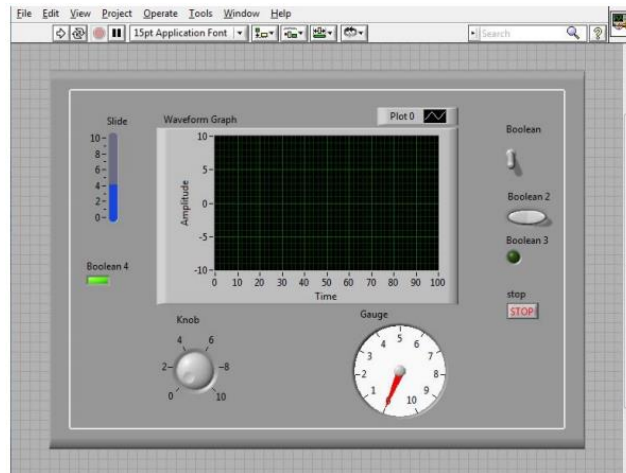


Figura 14 Panel Frontal  
Fuente: (Vizcaino, 2014)

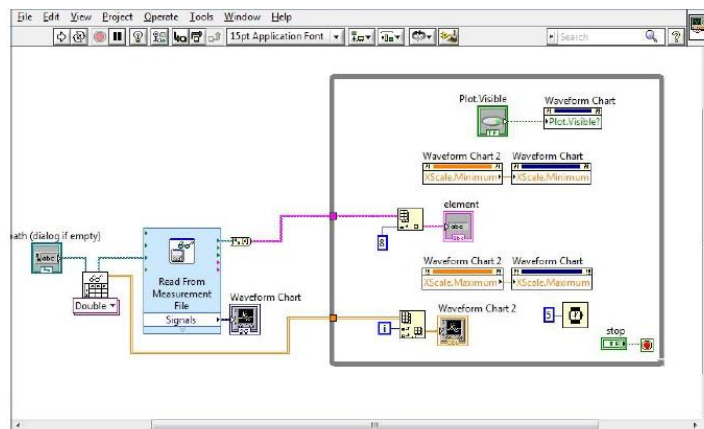


Figura 15 Diagrama de Bloques  
Fuente: (Vizcaino, 2014)

Se puede concluir que LabView es de gran utilidad por sus instrumentos virtuales para adquirir datos e imágenes, para procesamiento digital de señales, funciones matemáticas, etc. Además se puede representar en tres dimensiones, coordenadas polares y cartesianas; se puede utilizar para análisis de señales, y diversas aplicaciones de audio. En la figura 16 se tiene la representación de las funciones de comunicaciones para ello se requiere una tarjeta externa para adquirir datos y utilizar el instrumento virtual para esta tarea, y este se puede encontrar en la subcarpeta Express. (Gómez, 2014).

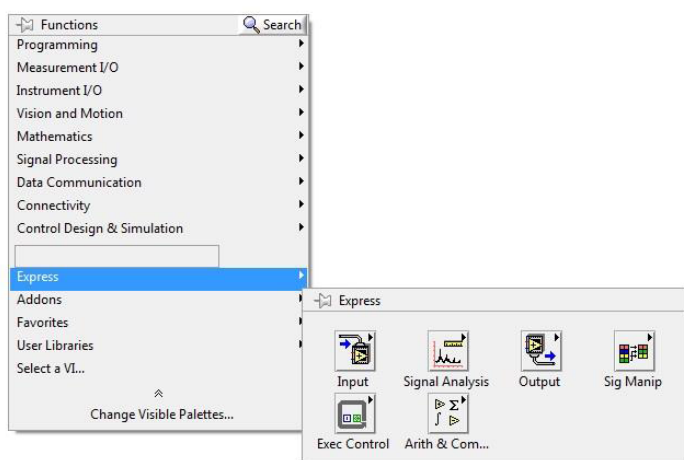


Figura 16 Funciones de Comunicación  
Fuente: (Vizcaino, 2014)

### 2.1.13 NORMAS INTERNACIONALES

**2.1.13.1 NORMA UL 60601-1.**Equipo eléctrico médico, Parte 1: Requisitos generales de seguridad Alcance y objeto. Alcance. Esta Norma se aplica a la seguridad de los EQUIPOS ELÉCTRICOS MÉDICOS (según se define en la Subcláusula 2.2.15). Aunque esta Norma se ocupa principalmente de la seguridad, contiene algunos requisitos con respecto a la operación confiable cuando esta está conectada con seguridad. No se consideran los PELIGROS DE SEGURIDAD resultantes de la función fisiológica prevista del EQUIPO cubierto por esta Norma. Los apéndices de esta Norma no son obligatorios a menos que lo indique una declaración explícita en el texto principal.1.1DV Sustitución del tercer párrafo

del 1.1 por lo siguiente: No se consideran los PELIGROS DE SEGURIDAD resultantes de la función fisiológica prevista del EQUIPO cubierto por esta Norma. Estos requisitos no contemplan la investigación de protección contra la radiación ionizante o isótopos radiactivos. Dicho EQUIPO está sujeto a los Estándares federales de radiación (21CFR Parte 1020) promulgados bajo la Ley de Control de Radiación para la Salud y Seguridad de 1968.

1.2 objeto. El objetivo de esta Norma es especificar los requisitos generales para la seguridad de los EQUIPOS ELÉCTRICOS MÉDICOS y servir de base para los requisitos de seguridad de las Normas particulares.

1.3 Estándares particulares. Una norma particular tiene prioridad sobre esta norma general.

1.4 condiciones ambientales.

1.5 Estándares de garantía. En la serie IEC 601, los Estándares de garantía especifican los requisitos generales de seguridad aplicables a: un grupo de EQUIPOS ELÉCTRICOS MÉDICOS (por ejemplo, equipo radiológico). Una característica específica de todos los EQUIPOS ELÉCTRICOS MÉDICOS que no se abordan completamente en la Norma General (por ejemplo, compatibilidad electromagnética). Si un Estándar de garantía se aplica a un Estándar en particular, entonces el Estándar de particular tiene prioridad sobre el Estándar de garantía. (UL, 2003)

**2.1.13.2 NORMA EN 60601.** La EN 60601 es una familia de normas cuyo ámbito abarca la seguridad, el rendimiento esencial y la compatibilidad electromagnética de los equipos y sistemas eléctricos médicos. Es técnicamente equivalente a la norma internacional IEC 60601 y la familia comprende más de 70 normas diferentes. La Norma "Parte 1", EN 60601-1, cubre la seguridad básica y el rendimiento esencial de todos los Equipos Médicos Eléctricos y las normas "Parte 2" o "Especiales" cubren los requisitos para grupos de productos específicos (por ejemplo, EN 60601-2-22 para los láseres médicos).

Cumplimiento de la norma EN 60601-1. EN 60601-1 se aplica a todos los equipos eléctricos médicos y sistemas eléctricos médicos. El equipo eléctrico médico se define en

la norma como un equipo eléctrico que tiene una parte aplicada o que transfiere energía al paciente o desde éste, o que detecta dicha transferencia de energía hacia o desde el paciente y que es: Provisto con no más de una conexión a una red de suministro; y Destinado por su fabricante a ser utilizado: en el diagnóstico, tratamiento o vigilancia de un paciente; O para compensación o alivio de enfermedad, lesión o discapacidad. Esto incluye una amplia gama de Productos Sanitarios, por ejemplo: Equipo quirúrgico de alta frecuencia, Desfibriladores cardiacos, Monitores de Paciente, Equipo de ultrasonido terapéutico y de diagnóstico, Láseres médicos, Sistemas de ventilación para paciente, Incubadoras y calentadores infantiles. Las pruebas para demostrar el cumplimiento de EN 60601-1 requieren una comprensión detallada de los requisitos junto con pruebas específicas para los equipos. Para los cambios más recientes en la norma, vea el documento de posición EN 60601-1, 3ª edición. Estos incluyen una extensa introducción de requisitos de gestión de riesgos que necesitan ser abordados. (BSI, 2019)

**2.1.13.3 CÓDIGOS Y NORMAS – COMPRA. CAN / CSA-C22.2 NO. 60601-2-51-04 (R2014).** Equipos electromédicos - Parte 2-51: Requisitos particulares de seguridad, incluido el rendimiento esencial, de registro y análisis de electrocardiogramas monocanal y multicanal (CEI / IEC 60601-2-51: 2005, primera edición, 2003-02) (Grupo CSA, 2017)

#### **2.1.13.4 ANSI / AAMI EC11: 1991 / (R) 2001**

Aparatos Electrocardiográficos De Diagnóstico, 2ed. Establece los requisitos mínimos de seguridad y rendimiento para los sistemas electrocardiográficos (ECG) con dispositivos de escritura directa que están diseñados para su uso en el análisis del ritmo y de la morfología detallada de complejos cardíacos complejos. (ANSI WEBSTORE, 2001)

#### **2.1.14 ANTECEDENTES**

Se diseña y desarrollo prototipo, una plataforma donde une sensores ambientales, basado en FPGA, este se caracteriza por el procesamiento paralelo, portabilidad de código y su velocidad de trabajo. La plataforma tiene la opción de conectar múltiples sensores para medir temperatura, humedad y luminosidad. Donde utilizan protocolos digitales de comunicación como RS232, I2C, SMBus y otros. Además se destaca la implementación de temperatura y humedad relativa SHT75, esta usa protocolo I2C, la plataforma es configurable hardware, realiza proceso paralelo e integra nuevos sensores. (Julio César Regalado Sánchez, 2016)

Se desarrolló un dispositivo que adquiere diferentes señales del cuerpo humano como corazón, musculo o cerebro. El proyecto es desarrollado de un sistema de adquisición de señales biomédicas sobre FPGA, para lograrlo las señales ECG, EMG y EEG debe tener una amplitud entre 100Uv a 10Mv y el rango de frecuencias esta de 0.01Hz a 100Khz. El trabajo de desarrolla desde la digitalización, transmisión y visualización de datos en el software desarrollado. (Mesía Benito, 2011)

Presentan un proyecto cuyo objetivo es construir un oxímetro utilizando el sensor max30102 y procesado en una FPGA, EL PROYECTO CONSISTE técnicas para medir el pulso cardiaco, diseño e implementación del sistema en una FPGA, también incluye el interfaz I2C, la comunicación con el sensor, configuración y transmisión de datos con el sensor, el procesado de datos recibidos y visualizarlo en display de 7 segmentos. (Muela Galán, 2017)

Un objetivo principal era hacer un prototipo para medir la temperatura interno del cuerpo usando método no invasivo, mediante una muñeca para ello el diseño debe ser como la pulsera. Para lograrlo se usó el método Dual-Heat-Flux, por lo que puede obtener un valor

de la temperatura interna del cuerpo obtenidos por los sensores de temperatura. (Montero, 2015)

Su proyecto informa que el procesamiento de la señal ECG, después de adquirir por medio de sensores, presenta errores en la medida y adquisición, para ello nos enseña cómo tratar los errores y los requisitos para procesar y tener medida correcta, además explica los circuito que amplifican y filtran las señales. (Solano Bartolo, 2015)

Explican la monitorización de los parámetros vitales, como para estudiar una enfermedad, si bien es cierto ya existe instrumentación médica en los hospitales, teniendo como desventaja que solo está diseñado para un fin y ya no se puede mejorar. Con este proyecto hacer el diseño de electrocardiograma portátil empleando FPGAZynq-700, donde comenzara desde la adquisición de los impulsos eléctricos del corazón, luego se convertirá a dominio digital, procesado y transferencia de datos al sistema operativo, ejecutado por el procesador del FPGA. (Gutiérrez Cisternas, 2016)

Diseñan el filtro digital FIR, para el procesamiento de señales ECG, describiendo tecnologías, configuración y arquitectura de dispositivos de compuertas programables (FPGA). Para terminar el proyecto se realizó el diseño de filtro digital FIR, para eliminar los ruidos, desarrollado en la tarjeta FPGA de altera, trabajando eficazmente en la muestra de resultados, también usaron la herramienta FDA de Matlab para filtro digital FIR. (Aguilar Jaramillo, 2017)

Describen el proyecto de monitor de signos vitales con el fin de cuantificar señales de electrocardiógrafo y temperatura, para lograrlo usaron conversores de hasta 12 bits. La implementación lo hizo con FPGA, además se puede visualizar en monitores que tengan conexión VGA. (Edwin Rodríguez, 2013)



Como indica los antecedentes, se puede diseñar un prototipo de monitoreo de funciones vitales con la FPGA, con 03 parámetros como ECG, Temperatura y Spo2. Para lograrlo se debe tener los módulos de ECG, Temperatura y Spo2. Probados y operativos. (Fuente Propia)

## 2.1.15 RANGOS DE LAS FUNCIONES VITALES

### 2.1.15.1 Rangos de Spo2:

Tabla 4 Intervalo y exactitud de la Fabrica Nellcor

Tipo de rango	Valores de rango
<b>Intervalos de medición</b>	
Intervalo de saturación de SpO <sub>2</sub>	1 a 100%
Intervalo de frecuencia del pulso	20 a 250 latidos por minuto (lpm)
Intervalo de perfusión	0,03% a 20%
Velocidades de barrido de la pantalla	6.25 mm/s
<b>Exactitud<sup>1</sup></b>	
<b>Saturación</b>	
Adulto <sup>2,3</sup>	70 % a 100 % ± 2 dígitos
Saturación baja adultos y neonatos <sup>2,3,4</sup>	60 a 80% ±3 dígitos
Neonatos <sup>4,5</sup>	70 a 100% ±2 dígitos
Perfusión baja <sup>6</sup>	70 a 100% ±2 dígitos
Adulto y neonato con movimiento <sup>2,7</sup>	70 a 100% ±3 dígitos
<b>Frecuencia de pulso</b>	
Adulto y neonato <sup>2,3,4</sup>	20 a 250 lpm ± 3 dígitos
Perfusión baja <sup>6</sup>	20 a 250 lpm ± 3 dígitos
Adulto y neonato con movimiento <sup>2,7</sup>	20 a 250 lpm ± 5 dígitos

Fuente:(Covidien, 2014)

### 2.1.15.2 Rangos de Ecg:


Tabla 5 Características y Especificaciones de la marca

Característica	Especificaciones
Tipo de instrumento	Electrocardiógrafo de 12 derivaciones
Canales de entrada	Adquisición simultánea de las 12 derivaciones
Derivaciones estándar adquiridas	I, II, III, aVR, aVL, aVF, V1, V2, V3, V4, V5 y V6
Visualización de formas de onda	Pantalla LCD a color con iluminación, VGA ¼, 320 x 240 Presentación de derivaciones 4+4 o 6+6
Impedancia de entrada Rango dinámico de entrada Tolerancia a desviación de electrodos Rechazo en modo común	Cumple o supera los requisitos de la norma ANSI/AAMI EC11
Corriente de fuga del paciente Corriente de fuga del bastidor	Cumple o supera los requisitos de la norma ANSI/AAMI ES1
Frecuencia de muestreo digital	40.000 muestras/segundo/canal para detección de picos de marcapasos; 1.000 muestras/segundo/canal para registro y análisis
Resolución	1,875 microvoltios para el bit menos significativo
Conversión AD	20 bits
Respuesta en frecuencia	0,05 a 300 Hz
Filtros	Filtro de línea de base de alto rendimiento; filtro de interferencias de CA a 50/60 Hz; filtros de paso bajo de 40, 150 o 300 Hz
Funciones especiales	Algoritmo opcional VERITAS de Mortara de interpretación de ECG en reposo con criterios de edad y sexo
Tipo de papel	Papel térmico en rollo; 210 mm (8,25 pulg.) de ancho
Impresora térmica	Matriz de puntos controlada por ordenador; 8 puntos/mm
Velocidades de impresora térmica	5, 10, 25 o 50 mm/s
Ajustes de sensibilidad	5, 10 o 20 mm/mV
Formatos de impresión de informes	Estándar o Cabrera; 12, 6 o 3+1 canales
Formatos de impresión de ritmos	3, 6 o 12 canales con grupos de derivaciones configurables
Clasificación del aparato	Clase I, con piezas aplicables de tipo CF a prueba de desfibrilación
Peso	3,63 kg (8 libras) incluida la batería (sin papel)
Dimensiones	29,2 x 20,3 x 10,2 cm (11,25 x 8 x 3,75 pulg.)
Requisitos de alimentación	Fuente de alimentación de CA universal (100-240 V CA a 50/60 Hz) de 110 VA; batería interna recargable

Fuente: (Mortara, 2010)

### 2.1.15.3 Rangos de Temperatura:

Tabla 6 Especificaciones técnicas de la Marca Citizen

Rango de medición	32,0°C–42,9°C (90,0°F–109,9°F)
Visualización temp.baja	Visualización<32,0°C (90,0°F) Temp.: Lo°C (Lo°F)
Visualización temp.alta	Visualización>=43,0°C (109,9°F) Temp.: Hi°C (Hi°F)
Resolución de pantalla	0,1°C (0,1°F)
Precisión	35,5°C–42,0°C±0,1°C (95,9°F–107,6°F±0,2°F) otro rango: ±0,2°C (0,3°F)
Sonido de pitidos fiebre [≥ 37,8°C (100,0°F)]	30 pitidos cortos en 10 segundos
Normal beep sound [< 37,8°C (100,0°F)]	10 pitidos largos en 10 segundos
Desconexión automática	10 minutos ± 2 minutos
Pila	LR41 ó SR41 (1,5V)
Vida de la batería	2 años
Condición operativa	Temperatura: 10°C–40°C (50,0°F a 104,0°F) Humedad: 30%–85%RH
Condición almacenamiento	Temperatura: -10°C–60°C (14°F a 140,0°F) Humedad: 25%–90%RH
Grado de protección	 Pieza aplicada tipo BF

Fuente:(CITIZEN Micro Humantech, 2012)

## 2.2 Modelamiento del Sistema

### 2.2.1 Conversor ADC

Proceso de convertir una señal continua a una señal discreta equivalente. Y si se aplica de forma inversa se recupera la señal continua obteniendo de la señal discreta. Como convertidor de análogo a digital, tiene 03 fases como muestreo, cuantificación y codificación. Como se observa en la figura 17. (Bueno Gimeno, 2010)



Figura 17 Proceso de conversión analógico-digital

Fuente: (Bueno Gimeno, 2010)

En la fase de muestreo la señal pasa de tiempo continuo a tiempo discreto. El parámetro período de muestreo ( $T_s$ ) o frecuencia de muestreo ( $f_s = 1/T_s$ ), me define el tiempo transcurrido en dos muestras consecutivas de la señal. (Bueno Gimeno, 2010)

Si consideramos un muestreo uniforme de periodo  $T_s$ , la señal muestreada resultante sería:

$$x^*(t) = x^*(n \cdot T_s) = \sum x(t) \cdot \delta(t - n \cdot T_s) \quad (2.1)$$

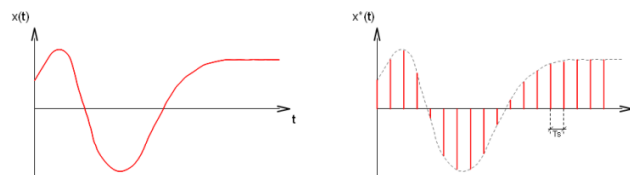


Figura 18 Muestreo de una señal  
Fuente: (Bueno Gimeno, 2010)

Por teorema de Nyquist, la frecuencia de muestreo mínimo  $f_s$ , para discretizar una señal con frecuencia máxima  $f_{max}$ , cumple:

$$f_s > 2 \cdot f_{max} \quad (2.2)$$

A continuación se observa la respuesta en frecuencia de la señal muestreada:

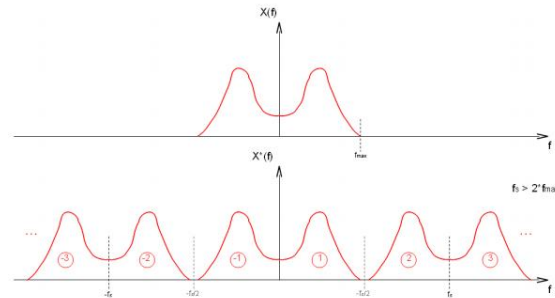


Figura 19 Respuesta en frecuencia de una señal muestreada con  $f_s > 2f_{max}$  (Bueno Gimeno, 2010)

$$TL[x^*(n \cdot T_s)] = \sum_{-\infty}^{+\infty} X(s - j \cdot n \cdot \omega_s) = \sum_{-\infty}^{+\infty} x(n \cdot T_s) \cdot e^{-n \cdot s \cdot T_s} \quad (2.3)$$

Cuando no se cumple el teorema de Nyquist como para un  $f_s < 2 \cdot f_{max}$ , produce solapamiento en el espectro (aliasing), causando la pérdida de información. (Bueno Gimeno, 2010)

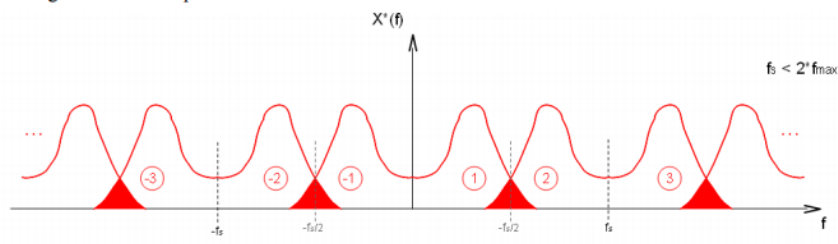


Figura 20 Respuesta en frecuencia de una señal muestreada con  $f_s < 2f_{max}$   
Fuentes: (Bueno Gimeno, 2010)

Es recomendable usar un filtro paso-bajo analógico de frecuencia de corte  $f_s/2$ , para eliminar el ruido y evitar solapamiento. Etapa de cuantificación, discretiza la señal en amplitud, variando de valores continuos a un conjunto de valores discretos. Los intervalos de cuantificación ( $Q_k$ ), realmente es el valor intermedio del intervalo. (Bueno Gimeno, 2010)

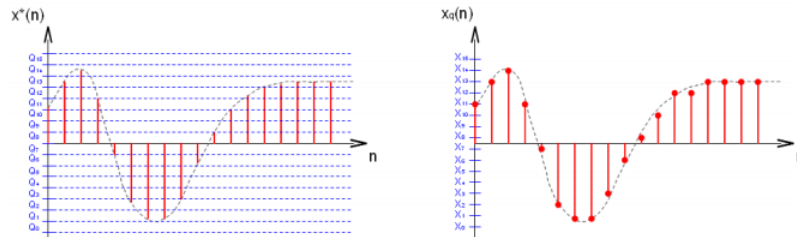


Figura 21 Cuantificación de una señal  
Fuente: (Bueno Gimeno, 2010)

### 2.2.2 Convertidor de binario a BCD

Es un circuito convertidor de binario a BCD, escrito en VHDL para su uso en CPLD y FPGA. El componente lee un número binario de la lógica del usuario a través de una interfaz paralela y genera el equivalente de BCD. Fue diseñado utilizando Quartus II, versión 13.1.0. Los requerimientos de recursos dependen de la implementación. En la Figura 22, se ilustra un ejemplo típico del convertidor de binario a BCD integrado en un sistema. (Larson, 2018)

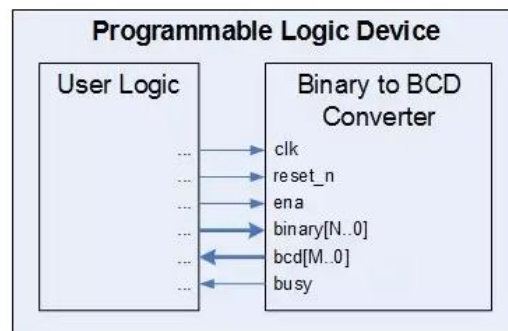


Figura 22 Ejemplo de implementación  
Fuente: (Larson, 2018)

**2.2.2.1 Teoría de operación.** El concepto detrás de este convertidor de binario a BCD es cambiar el número de un registro de desplazamiento a otro registro de desplazamiento, primero el bit más significativo (MSB). Supongamos que cambia un número de un registro binario a otro registro binario, bit a bit. Cada vez que cambia un bit, está duplicando el número actual en el registro y agregando el nuevo bit. Una vez que haya cambiado en todos los bits, el nuevo registro contiene el número original. Este componente completa el mismo proceso para realizar una conversión de binario a BCD. Se desplaza en un bit a la vez. Con cada turno, duplica el valor actual del registro y agrega el nuevo bit. Una vez que se cambia el número completo, el nuevo número BCD es equivalente al binario original. Dado que el valor máximo que puede tener cada dígito BCD de 4 bits es 9, el componente debe realizar un ajuste si el proceso de duplicación produce un número mayor que 9. Por lo tanto, si el número actual es mayor que 4, no se puede duplicar simplemente desplazando los bits. En este caso, un 1 se desplaza al siguiente registro del dígito BCD más grande, y el registro del dígito actual se ajusta para contener el valor apropiado. En La tabla 7 se tabula los resultados deseados. (Larson, 2018)

Tabla 7 Tabla de verdad de registro binario a BCD

Valor actual		Siguiendo valor	
Decimal	Registrar Bits	Decimal	Registrar Bits
0	0000	0	0 000X
1	0001	2	0 001X
2	0010	4	0 010X
3	0011	6	0 011X
4	0100	8	0 100X
5	0101	10	1 000X
6	0110	12	1 001X
7	0111	14	1 010X
8	1000	dieciséis	1 011X
9	1001	18	1 100X

Fuente: (Larson, 2018)

Como se muestra en la tabla de verdad, un cambio simple da como resultado el valor correcto si el valor actual es 0-4. Si es mayor que 4, se debe llevar un bit al siguiente dígito, y las entradas lógicas para los tres MSB del registro requieren lógica adicional. El LSB siempre recibe el siguiente bit desplazado desde el número original, indicado como "X" en la tabla. En La figura 23 muestra el circuito utilizado para implementar esta lógica. Un flip-flop adicional en la parte inferior derecha almacena el valor anterior de la entrada de habilitación, de modo que los circuitos pueden borrar los registros para inicializar una conversión cuando la señal *ena* se afirma primero ( *ena* = '1' y *prev\_ena* = '0') .

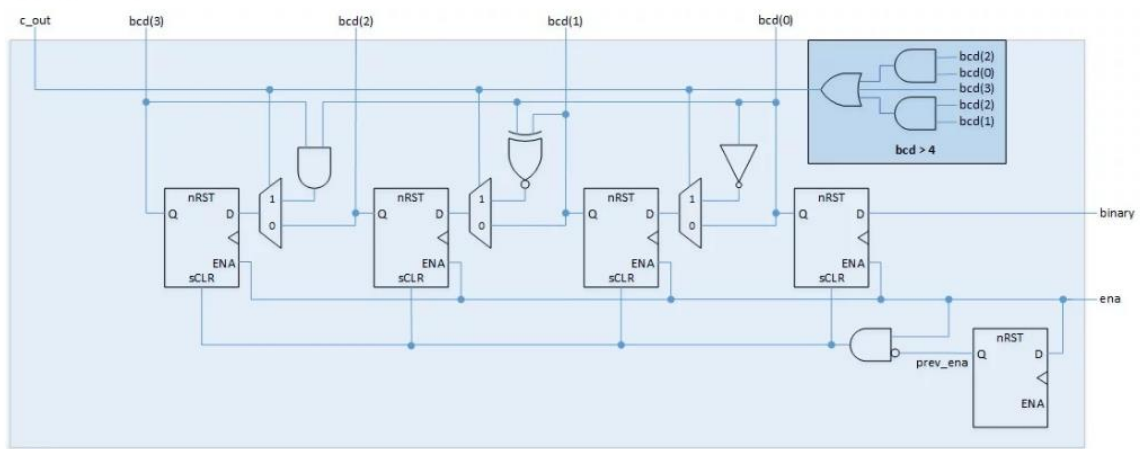


Figura 23 Lógica de conversión de binario a BCD de un solo dígito

Fuente:(Larson, 2018).

La lógica anterior es un convertidor de binario a BCD de un solo dígito, contenido en el archivo `binary_to_bcd_digit.vhd`. El archivo `binary_to_bcd.vhd` de nivel superior crea una instancia de uno de estos convertidores de un solo dígito para cada dígito de la salida BCD y los conecta en cascada para formar un convertidor de binario a BCD de varios dígitos. Esta lógica de nivel superior también atrapa el valor binario inicial de la lógica del usuario y lo almacena en un registro de desplazamiento. Controla las habilitaciones de los convertidores de un solo dígito y ejecuta la cantidad apropiada de turnos desde el registro de desplazamiento binario. Finalmente, da salida al resultado. En La figura 24 ilustra el concepto. (Larson, 2018)



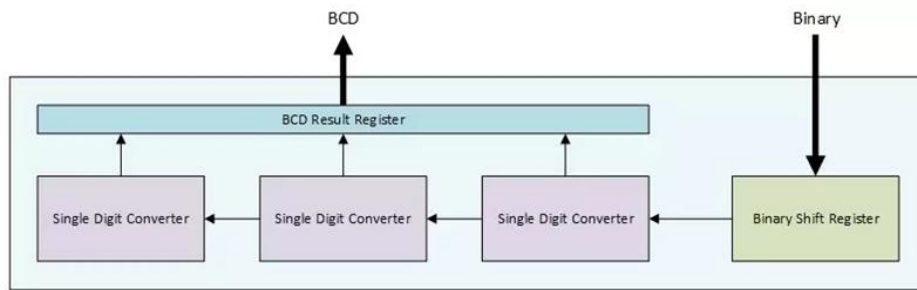


Figura 24 Convertidor de binario a BCD de varios dígitos

Fuente: (Larson, 2018)

**2.2.3 Conversor de BCD a ASCII.** Para desarrollar esta etapa debemos tener conocimientos básicos de multiplexor en Vhdl. En la figura 25, se observa el Multiplexor 2x1. Corresponde como a un módulo visto desde fuera.

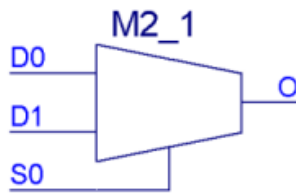


Figura 25 Figura Multiplexor 2x1

Fuente: (González Rodríguez, 2012)

En la tabla 8 se observa los valores del selector y la salida lo que hace internamente se puede realizar de varias maneras, así pues un multiplexor es un módulo que se puede diseñar.

Tabla 8 Valores de multiplexor

S0	O
0	D0
1	D1

Fuente: (González Rodríguez, 2012).

En la figura 26 se observa un diseño de un multiplexor y se puede demostrar mediante una tabla de verdad.

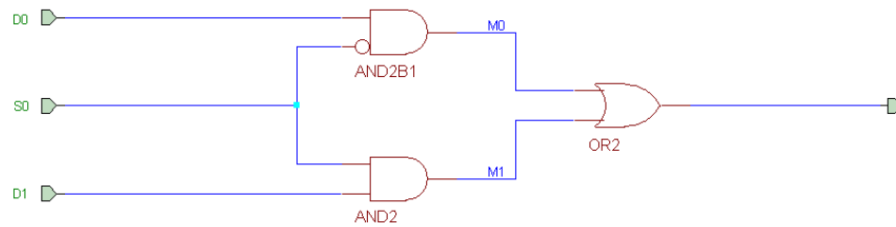


Figura 26 Diseño de un multiplexor  
Fuente: (González Rodríguez, 2012)

**2.2.4 Divisor de frecuencia.** En el proyecto de Gonzales se desarrolla una onda cuadrada de 1Hz, que servirá para determinar cuando cambia el estado, para lograrlo se necesita la señal de reloj. Como la placa para desarrollar es un Spartan 3E-500 y tiene una señal interna de 50MHz, por lo que ha decidido dividir la frecuencia entre 25000000 y se obtiene 2Hz, después se forma la onda cuadrada y se divide entre 2. Para entenderlo se explicara el esquema y diagrama de estados. (González, 2012)

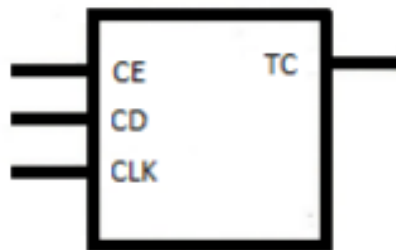


Figura 27 Esquema. Divisor de frecuencia  
Fuente: (González Rodríguez, 2012)

En la figura 27, se observa un bloque que tiene tres entradas y una salida. En cambio en la figura 28, se observa diagrama de estados y como cambia de estado, para ello si  $CE=0$ , se mantiene el estado en cambio si es  $CE=1$  el estado cambia de uno a otro de manera de forma ascendente.

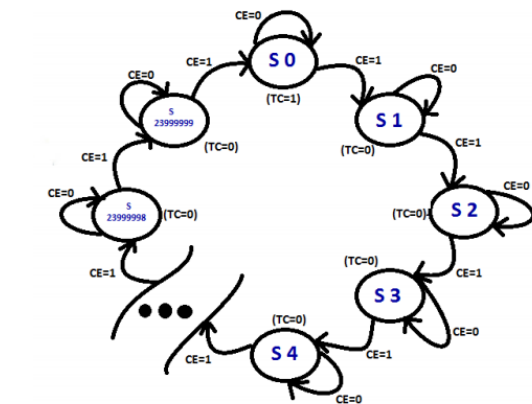


Figura 28 Diagrama de estados. Divisor de frecuencias  
Fuente: (González Rodríguez, 2012)

#### 2.2.4.1 Diagrama de tiempos y tabla de estados

En la figura 29, se observa diagrama de tiempo, cuando  $CD=1$ , el estado es cero porque es un reset además si  $CE=0$ , mantiene el estado y cuando  $CE=1$  y  $CD=0$  cambia de estado.

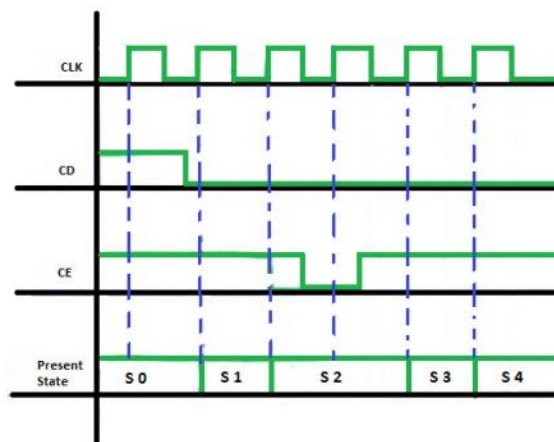


Figura 29 Diagrama de tiempos 1. Divisor de frecuencia  
Fuente: (González Rodríguez, 2012)

Los 24000000 de estados no se visualiza en el diagrama de tiempos entero porque no se visualiza el cambio en la salida TC. En cambio e la figura 30 si se puede ver que el TC se activa cada 24 000000 de CLK.

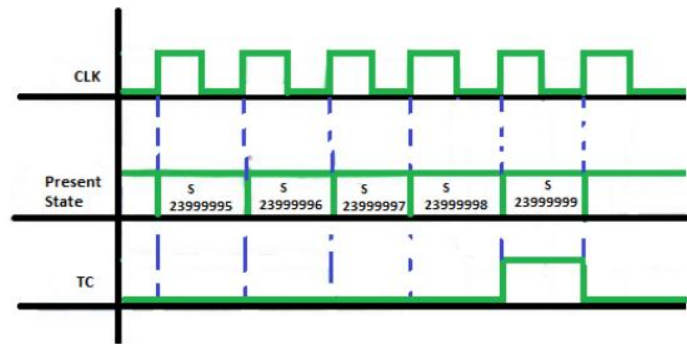


Figura 30 Diagrama de tiempos 2. Divisor de frecuencia  
Fuente: (González Rodríguez, 2012)

En la Tabla 9 se puede ver cómo se comporta el circuito en función de su estado anterior.

Tabla 9 Tabla de estados

<u>E</u>	<u>Q+</u>
0	Q
1	Q+1

Fuente: (González Rodríguez, 2012)

Para entender debemos recordar de los biestables de tipo D, es decir cuando está habilitado enable cambia al estado siguiente caso contrario se mantiene el estado. En la figura 31, se observa el diseño de la máquina de estados finitos (FSM Design).

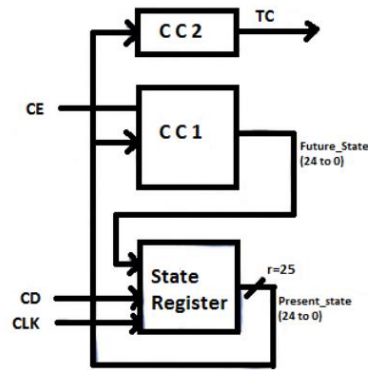


Figura 31 FSM Design. Divisor de frecuencia

Fuente: (González Rodríguez, 2012)

En la figura 32, se observa el diseño del divisor de frecuencia en Circuito RTL.

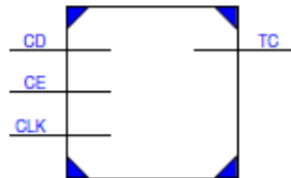


Figura 32 Circuito RTL

Fuente: (González Rodríguez, 2012)

**2.2.5 Diseño de un UART.** UART es universal asíncrono recepción y transmisión, es útil para la comunicación de FPGA con el pc o viceversa, con la norma RS-232. Con la pc se hace la comunicación a través del puerto serie. En el ordenador es el DTE (data terminal equipo) y FPGA es el DCE(data comunicación equipo), para ello se necesita 3 cables , transmisión, recepción y masa. En la figura 33 se ve la transmisión de FPGA y a recepción del PC. (González, 2012)

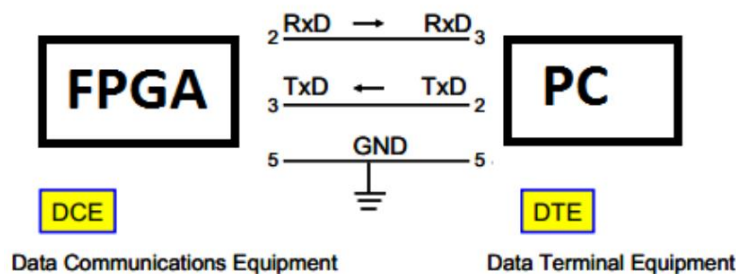


Figura 33 Esquema de la conexión RS-232

Fuente: (González Rodríguez, 2012)

En la figura 34 se observa el protocolo de comunicación a la hora de tener la comunicación entre la FPGA y el PC seguiremos el siguiente protocolo de comunicación RS-232.

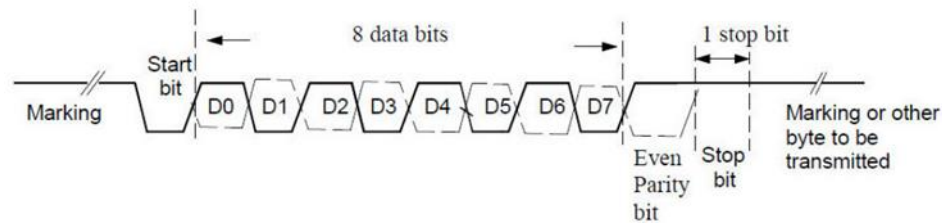


Figura 34 Protocolo de comunicación RS-232

Fuente: (González Rodríguez, 2012)

En la figura 35, se muestra las etapas del circuito UART.

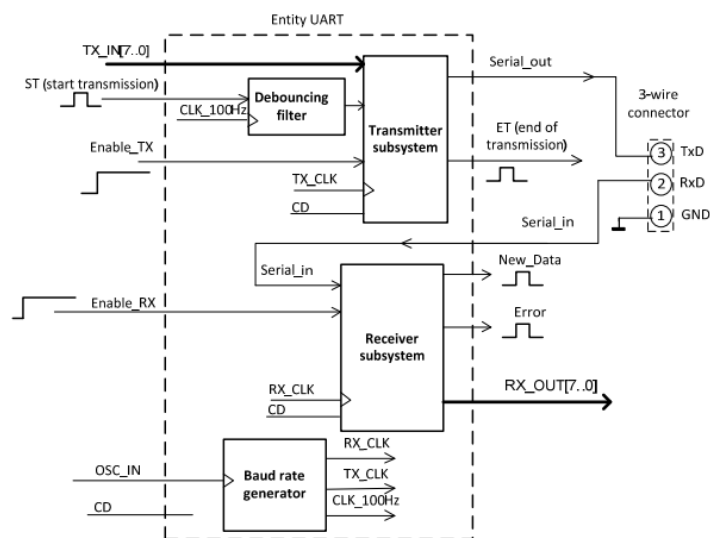


Figura 35 Especificaciones del UART

Fuente: (González Rodríguez, 2012)

**Baud Rate Generator.** En esta etapa se hace las divisiones de frecuencia, se parte de la frecuencia del reloj interno que es de 50 MHz, para lograrlo se usa la arquitectura FSM y se conectara varios bloques. En la figura 36 se observa cuatro bloques, el primero para dividir la frecuencia por  $n=326$ , el segundo por 8, el tercero se dividirá por 96 y el ultimo con 10. Luego se obtendrá una salida CLK\_1Hz\_Squared, una señal cuadrada de un 1Hz. (González Rodríguez, 2012)

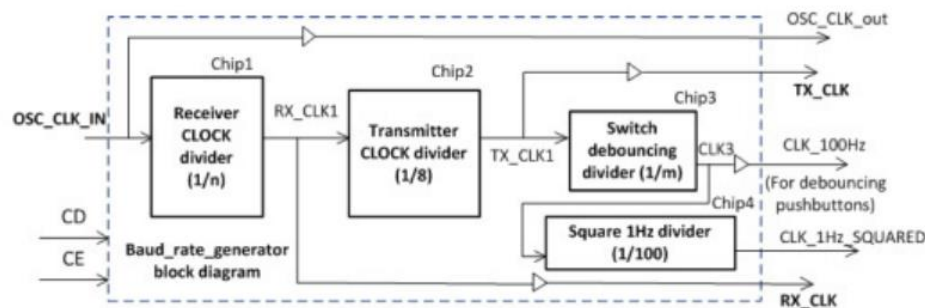


Figura 36 Especificaciones. Baud Rate generator

Fuente: (González Rodríguez, 2012)

### Descripción de cada bloque.

**Divisor del reloj del receptor.** En esta etapa se divide la frecuencia entre  $n=651$ . Además tiene dos bloques uno divide la frecuencia y otro hace la señal cuadrada. Se hace esta señal, porque la activa es pequeña y no funciona correctamente. (González Rodríguez, 2012)

**Divisor de reloj transmisor.** En esta etapa se divide la frecuencia entre 8 y similar como el bloque anterior.

**Cambiar el divisor anti rebote.** Esta etapa es similar a los anteriores pero dividiendo la frecuencia entre 100.

**Divisor cuadrado de 1 Hz.** En esta etapa se divide la frecuencia entre 96 y la salida se tiene una señal cuadrada de 1Hz, para verificar el funcionamiento se pone un led.  
(González Rodríguez, 2012)

**Unidad Transmisora.** En la figura 37 se observa dos bloques y la estructura.

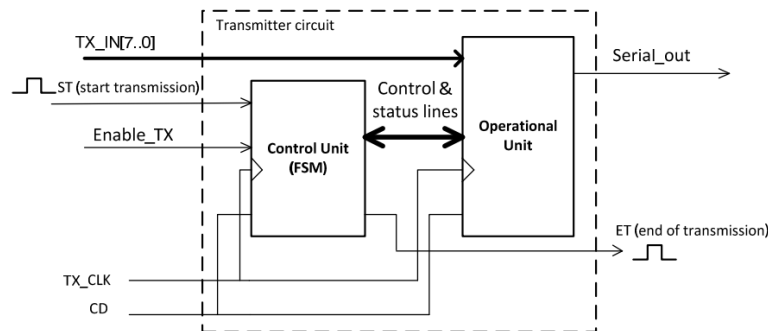


Figura 37 Especificaciones. Transmitter unit

Fuente: (González Rodríguez, 2012)

Ahora estudiaremos cada uno de los bloques por separado. **Control Unit (FSM).** Este bloque que se observa en la figura 38, se encarga de controlar la transmisión y as especificaciones técnicas.

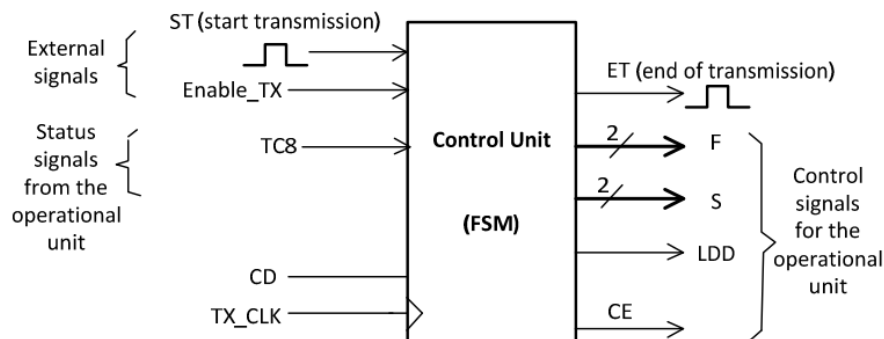


Figura 38 Especificaciones. Control Unit

Fuente: (González Rodríguez, 2012)



**Unidad de ruta de Datos.** En este bloque como se observa en la figura 39, está formado por varios circuitos y se estructuran de la siguiente manera: Data Register (8 bits), Shift Register (10 bits), Counter module 8, Multiplexor. Generador de paridad.

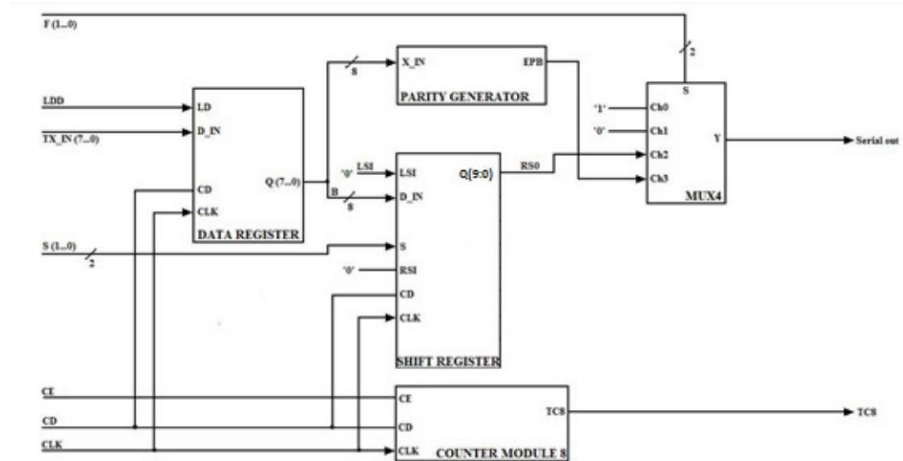


Figura 39 Datapath Unit

Fuente: (González Rodríguez, 2012)

**Unidad de Recepción.** En este bloque como se observa en la figura 40, se encarga de controlar la recepción y sus especificaciones técnicas son las siguientes.

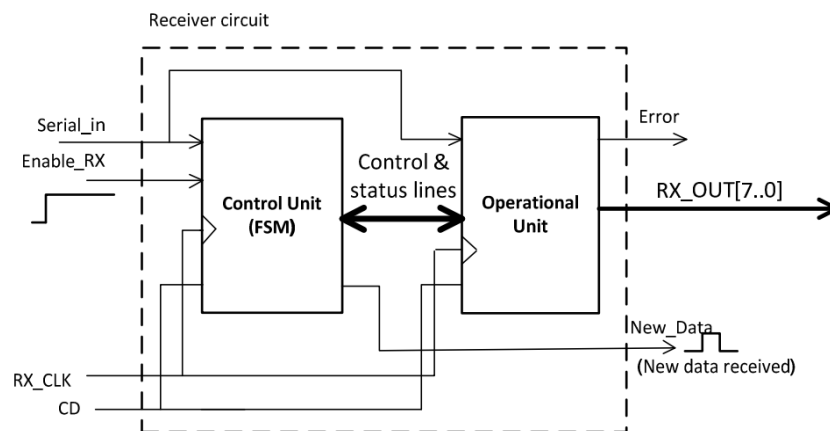


Figura 40 Especificaciones. Circuito receptor  
Fuente: (González Rodríguez, 2012)

**Unidad de control (FSM).** En esta etapa como se observa en la figura 41, es el circuito que se encarga de controlar la recepción de datos.

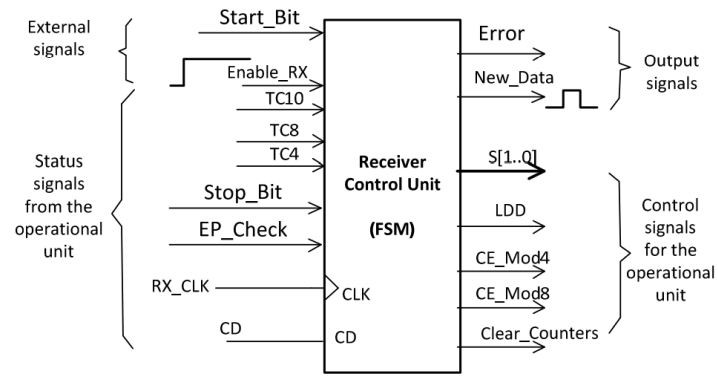


Figura 41 Especificaciones. Control unit  
Fuente: (González Rodríguez, 2012)

## **CAPITULO 3**

### **DESARROLLO DEL DISEÑO**

#### **3.1 Diseño**

En este capítulo se desarrollara el diseño de prototipo para la necesidad del hospital nacional sobre todas para zonas rurales, para ello se elabora diagrama de bloques, pictóricos y esquemáticos del prototipo de monitoreo de funciones vitales en Fpga, para ello se necesitara los módulos de ECG, Oximetría y Temperatura.

#### **3.2 Diagrama de bloques**

A continuación, se muestra el diseño de bloques y pictórico del proyecto, se elaborara en la plataforma Quartus 16.0, una versión media pero útil para el diseño de los controladores de temperatura, Oxímetro y Ecg.

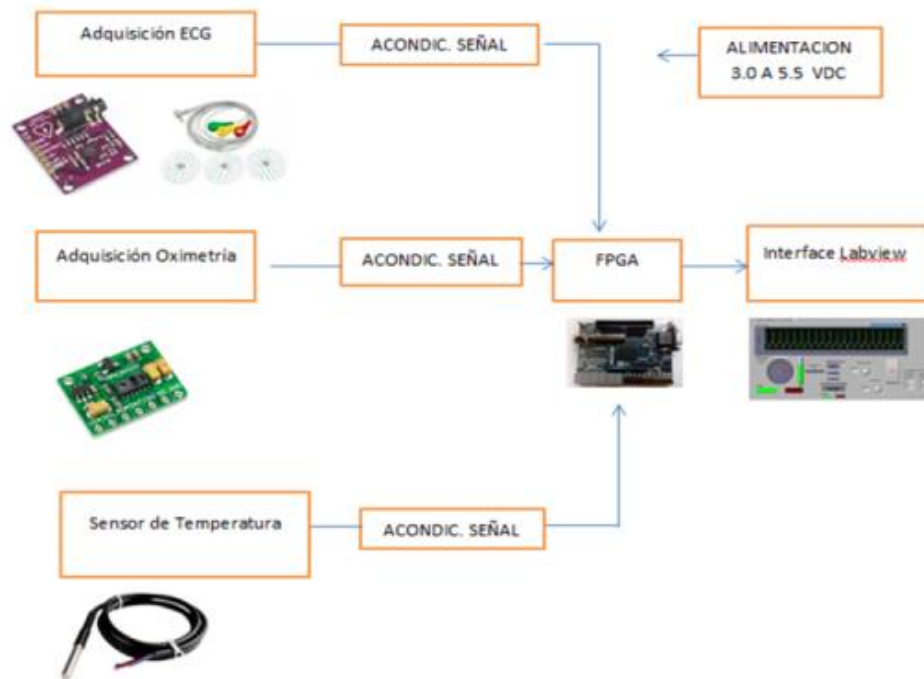


Figura 42 Diagrama de bloques y pictórico del proyecto a Diseñar  
Fuente: Propia

Como se observa en la fig.42, en el primer bloque se tiene la fuente de alimentación, en este proyecto se puede utilizar la batería de la laptop o cargador con salidas de voltajes DC. En la segunda etapa se observa los módulos de diferentes parámetros como sensor de saturación (Max30100), módulo (AD8232) de adquisición señales biopotenciales del corazón que se encuentra en orden de los mili voltios y el sensor de temperatura digital (DS18B20), perteneciente a la familia de los termistores NTC. Y luego los datos obtenidos es enviado mediante protocolos de comunicación como I2C, One Wire y la conversión de analógico a digital, para finalmente transmitir los datos dentro un FPGA modelo MAX10 de la familia Intel, para luego procesar los datos mediante el uart diseñado y por ultimo enviarlo a la plataforma LabView 2017, software instalado en una Laptop, para lograrlo se utilizó un módulo (cp2102) cuyo función es convertir serial a USB.

### 3.3 Sensores y dispositivos empleados para el sistema.

SISTEMA ELECTRONICO PARA DISEÑO DE UN PROTOTIPO DE MONITOREO DE FUNCIONES VITALES PARA HOSPITALES NACIONALES DEL PERÚ.					
SUBSISTEMA	FUNCION	ALTERNATIVA 1	ALTERNATIVA 2	ALTERNATIVA 3	ALTERNATIVA 4
DOMINIO ELECTRONICO	ADQUIRIR SEÑALES ECG	Módulo Emg Ecg Olimex Shield Ekg Stm32	Módulo Sensor de Frecuencia Cardíaca ECG AD8232	AD8232 corazón Monitor ECG MODELO:OKY3 471-2	Circuito Adquisición de señales ECG(AD620 A)
	ADQUIRIR SEÑAL DE SATURACION DE OXIGENO	Oxímetro de pulso y sensor de latidos cardíacos MAX30105	sensor de ritmo cardíaco Click MAX30100	Pulsioxímetro MAX30102	El circuito del monitor de pulsos cardíacos. CNY70 LM358 PIC 12F675
	ADQUIRIR SEÑAL DE TEMPERATURA	SENSOR TEMPERATURA LM35	Sensor de Temperatura DS18B20	Sensor de temperatura y humedad DHT11	Sensor de temperatura termistor NTC 10K
	COMUNICACIÓN SERIAL USB A TTL	Modulo USB-TTL CP2102	.Módulo CP2102 Conversor USB a TTL	Modulo USB Serial PL2303HX TTL/USB	Modulo USB Serial CP2104 RS232 (pin DTR)
	PROCESAMIENTO DE DATOS	Tarjeta FPGA Altera Cyclone II EP2C5T144	Fpga Xilinx Spartan 6	Altera Cyclone IV EP4CE6 FPGA	Altera MAX10 10M50
	INTERFASE	Microsoft Visual Studio	Java Script	TFT LCD Touch 2.4" Shield	LabView 2017
		1	2	3	4

Fuente: propia

En el cuadro anterior se observa la lista de componentes que se podría usar en el sistema electrónico para adquirir y procesar señales de funciones vitales. A continuación explicaremos como se eligió los componentes del prototipo de monitoreo de funciones vitales.

Se tuvo que investigar el principio de funcionamiento de cada etapa, para ello se estudió de otra tesis nacionales e internacionales, para luego elegir cual era más adecuado para el proyecto. Entonces se escogió los módulos ya estudiados, como el objetivo principal es diseñar un prototipo de monitoreo de funciones vitales, por fines de efectividad, costo y fiabilidad se eligió los módulos ya desarrollados en el mercado tecnológico.

A continuación se describirá los módulos seleccionados para el prototipo.

En primer lugar se eligió el AD8232, por el consumo de corriente es de 170 micro amperios, tiene una relación de rechazo de modo común: 80 db, alta ganancia de la señal ( $G=100$ ), capacidad de bloqueo de c.c de 2 polos de filtro pasa alto ajustable hasta 300 mv. También cuenta 3 polos de filtro de pasa bajo, tiene integrado unidad de la pierna derecha (RLD), amplificador de 2.0 v a 3.5 v. y tiene una dimensión de 4 mmx 4mm.

En segundo lugar se eligió el modulo sensor de saturación MAX30100, su voltaje de alimentación está en el rango de 1.8v -3.3v su dimensión es de 5.6 mm x 2.8mm, su corriente cuando está apagado es de 0.7 microamperios, temperatura de funcionamiento es de -40°C a 85°C, los corrientes de led y infrarroja es de 20 miliamperios a temperatura de 25 °C. La frecuencia de led rojo es 660nm y la infrarroja es de 880nm, el modulo cuenta con filtro digital, además tiene un adc de 16 bits con frecuencia de 50 Hz- 1Khz, transmite los datos en protocolo I2C al microprocesador.

En tercer lugar se eligió el sensor DS18B20, su rango de alimentación es de 3.0 v -5.5v, temperatura de trabajo es -55°C a 125°C, resolución de trabajo es 0.5 °C, 0.25°C, 0.125 °C y 0.0625°C. Resolución de termómetro es 9 a 12 bits, el tiempo de conversión es de 750 ms, su corriente es consumo es de 1.5 mA, este módulo es un sensor digital de la familia de los termistores tipo NTC, transmite los datos en protocolo one- wire hacia el microprocesador.

En cuarto lugar se eligió el modulo usb-ttl, cp2102 para la transmisión de datos de procesador hacia el computador o laptop.

En quinto lugar se eligió el procesador Fpga Altera Max10. 10 m50, porque tiene suficiente compuertas programables y el reloj de 50 MHz, para poder transmitir los datos en tiempo real, además tiene un bloque de conversión analógico a digital.

Por último se eligió la interface gráfico de LabView, porque se puede programar objetos y se puede mostrar la señal Ecg y tiene la aplicación Visa LabView para poder recibir los datos del procesador Fpga.

### **3.4 Diseño en el Programa Quartus 16.0**

El programa Quartus es una herramienta de la Empresa Intel, para iniciar el diseño jerárquico del proyecto primero se ha probado cada componente, como ven en circuito RTL, similar al circuito esquemático. Entonces se describirá el funcionamiento circuito principal el que tiene mayor jerarquía, También se debe tener en cuenta los módulos conseguidos aquí en la ciudad de Lima es muy escasa, módulos como Ecg, Oximetría, por lo que se tuvo importar. En este circuito el programa se encarga de enlazar con otros códigos de baja jerarquía como Temperatura, Ecg, Spo2, etc. Ver la figura 43.

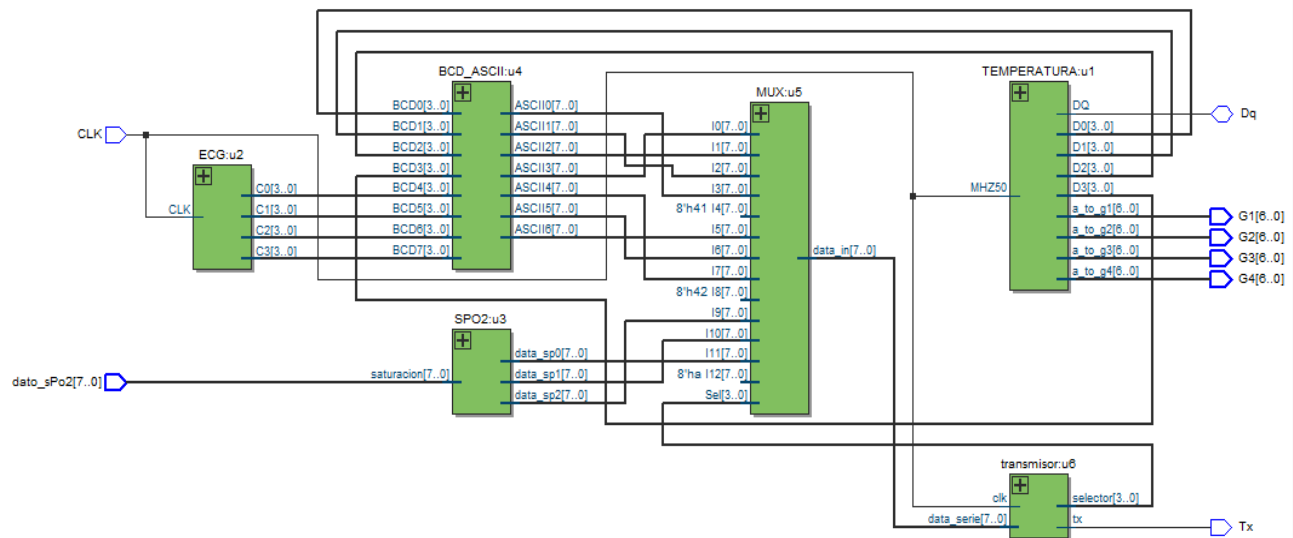


Figura 43 Diagrama en RTL del circuito Principal en Quartus 16.0  
Fuente: Propia

### 3.4.1 Diseño de Adquisición de Señales

#### 3.4.1.1 Fuente de Alimentación

La Alimentación de Voltaje es de 5 Vdc y 3.3 Vdc, será obtenido a partir del puerto USB, primeramente se alimentara con 5 Vdc a la tarjeta de Fpga y luego este regulara a 3.3 Vdc también se usara para la alimentación para el módulo de ECG.

#### 3.4.1.2 Diseño de Adquisición ECG en Fpga.

En la figura 44, se muestra el circuito en RTL de Quartus 16.0, en esta etapa se diseñará el controlador de ECG, está desarrollado por un almacenamiento de registro de 4 bits para luego estos valores BCD se convertirá en código ASCII, es decir se usará un conversor de códigos para obtener los valores en código ASCII Y mandarlos a un multiplexor de acuerdo a la selección que se obtiene de la máquina de estado desarrollado en el UART se podrá transmitir por el puerto serial.



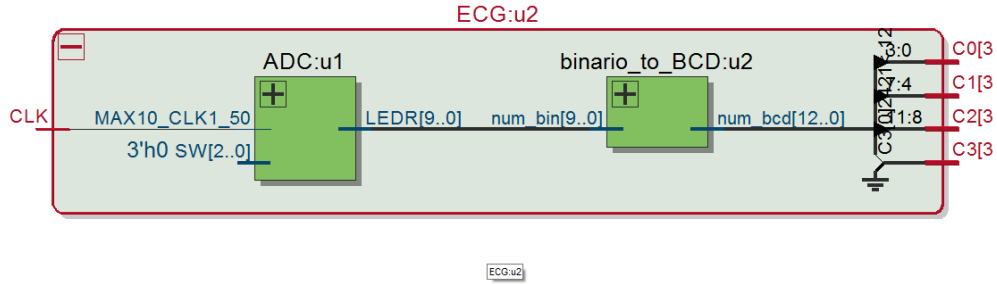


Figura 44 Diagrama de bloques de ECG.

Fuente: Propia

En la figura 45, se observa el circuito RTL de la etapa de ADC, como ven se tiene un bloque de sumador de 4 bits A, B y un carry de entrada CIN y una salida de 4bits OUT. Y el otro lado se tiene un bloque adc\_qsys, aparte de recibir lo cuatro bits, tiene entradas de reloj, modular y resetear, tener en cuenta que este controlador ADC, nos ofrece para Quartus 16.0.

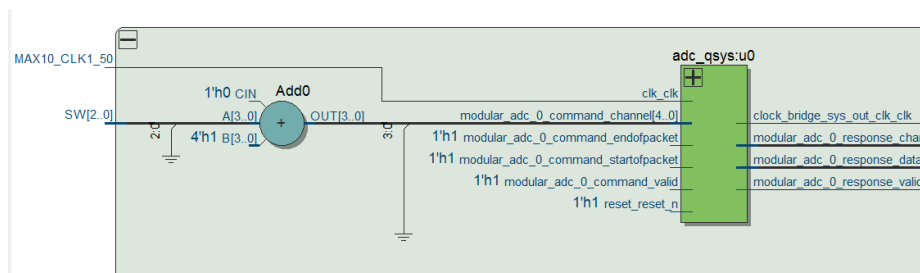


Figura 45 Circuito RTL de la etapa ADC.

Fuente: Propia

En la figura 46, es la segunda parte de la etapa ADC, en esta figura observamos que unas de las salidas de adc de 12 bits, es multiplicado por 12 bits, para luego dividirlo con 12 bits y el resultado va para la entrada del flip-flop tipo D, y así obtener la salida LEDR de 12 bits.

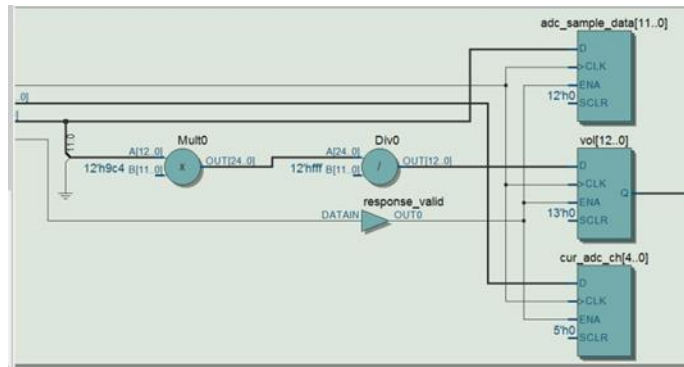


Figura 46 Circuito RTL de la etapa ADC parte 2.

Fuente: Propia

En la figura 47, se observa la etapa binario a BCD, en esta etapa ingresa los valores de 10 bits binario, para luego ser comparado y sumado los valores y por ultimo multiplexado hasta poder separarlo en dos partes.

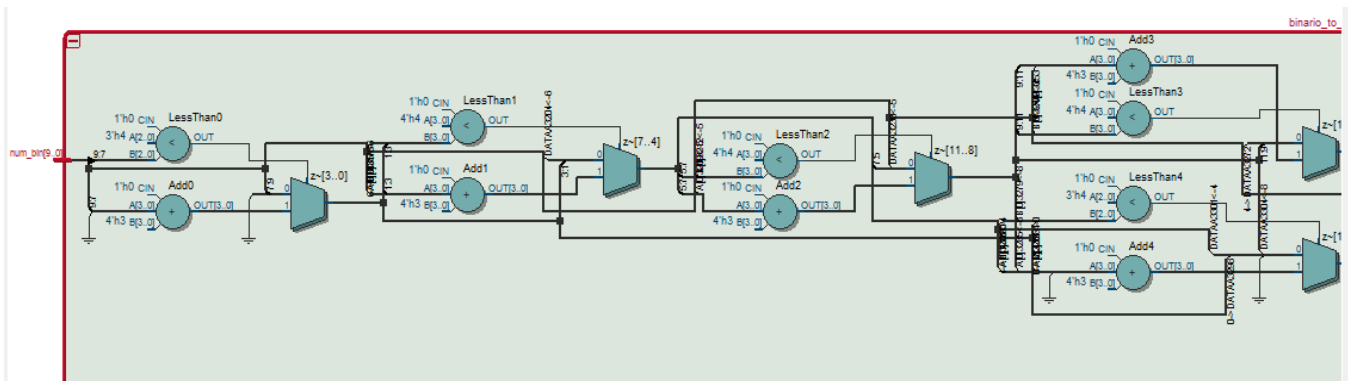
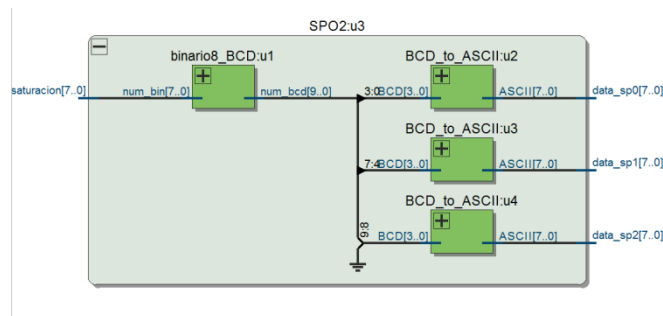


Figura 47 Circuito RTL de la etapa ADC parte 3.

Fuente: Propia

Fuente: Propia

En la figura 49, se observa el diagrama de circuitos RTL de Quartus 16.0, en esta etapa se diseñó el controlador es guardar los registros de 8 bits de los valores obtenidos de la interface del arduino, y este datos se enviara al multiplexor principal. los 6 bits ingresara al UART de acuerdo a la selección que se obtiene por la máquina de estado desarrollado dentro en la Fpga y dependerá de la salida final del UART para finalmente transmitirlo por el puerto serial.



57

En la figura 50, se observa el circuito RTL de la etapa de conversión de binario a BCD, en este circuito se recibirá valores de 8 bits binario para luego comparar, sumar y multiplexar hasta obtener una comparación y suma de 4 bits,

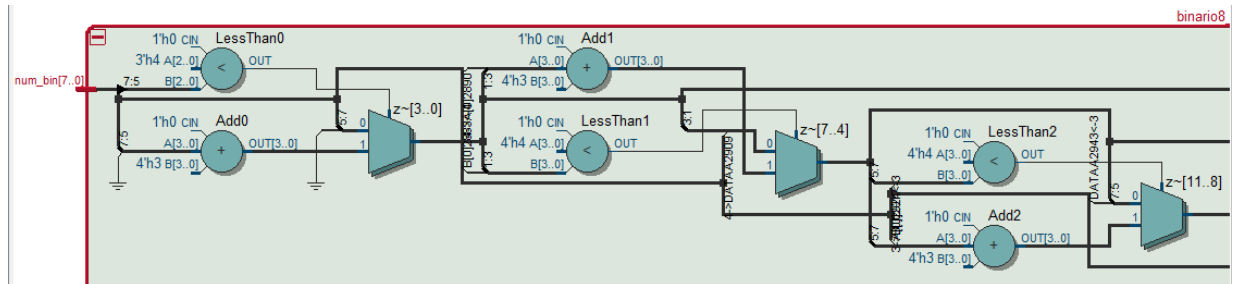


Figura 50 Circuito RLT de la etapa Binario a BCD parte 1.

Fuente: Propia

En la figura 51 se observa el circuito RTL de la etapa de conversión de binario a Bcd, es la continuación de la figura anterior, en esta parte ya se observa los sumadores, comparadores cada uno con 4 bits, para luego multiplexarlo y obtener 10 bits de salida.

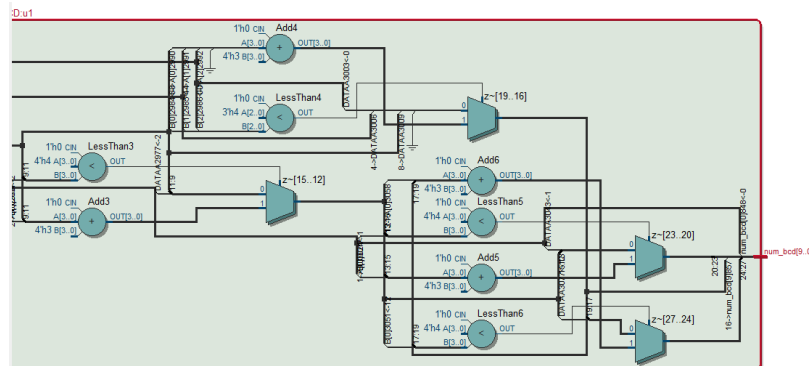


Figura 51 Circuito RTL de etapa Binario a BCD parte 2.

Fuente: Propia

En la figura 52, se observa el circuito RTL de la etapa de conversión de código BCD a código ASCII, tener en cuenta que esto es una de las 3 etapas, como se ve esta etapa tiene

3 multiplexores de 2x1, unidos en paralelo donde ingresan 4 bits BCD y obtenemos 8 bits ASCII. Y será similar para las otras 2, donde se obtendrán 24 bits en total.

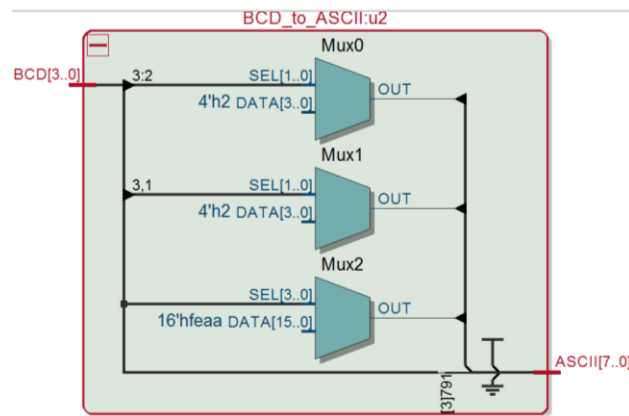


Figura 52 Circuito RTL de la etapa de BCD a ASCII

Fuente: Propia

### 3.4.1.4 Diseño de Adquisición de Temperatura en Fpga.

En la figura 53, se observa el diagrama de circuitos en RTL, el controlador para este tipo sensor de temperatura se desarrolla un registro de 4 bits para almacenarlo y luego convertirlos de código BCD a código ASCII, y estos datos se mandan al multiplexor de 16 entradas, y el selector dependerá de la selección de la máquina de estado diseñado en la Fpga que dependerá de la transmisión final de Uart, una vez seleccionado estos datos será transmitido por el puerto serial

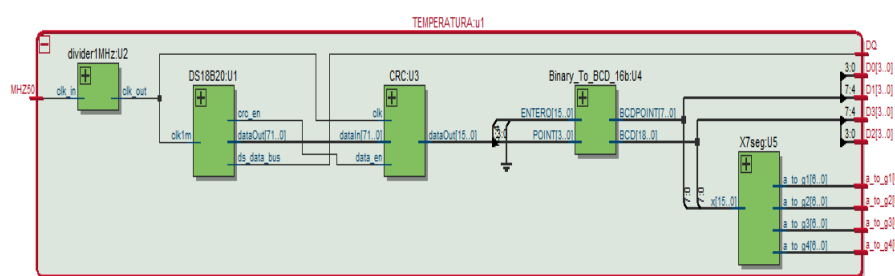


Figura 53 Diagrama de bloques de sensor de temperatura.

Fuente: Propia

En la figura 54, se observa el circuito RTL de la etapa divisor de frecuencia de 1 Mhz, el funcionamiento se basa en dividir la frecuencia de 50 Mhz a 1 Mhz, esto ingresando al clock contador y el estado D dependerá de multiplexor y contador proveniente del estado siguiente para finalmente de acuerdo a la igualdad ingresa a la entrada del fliflop tipo D, donde se obtiene la frecuencia de 1 Mhz.

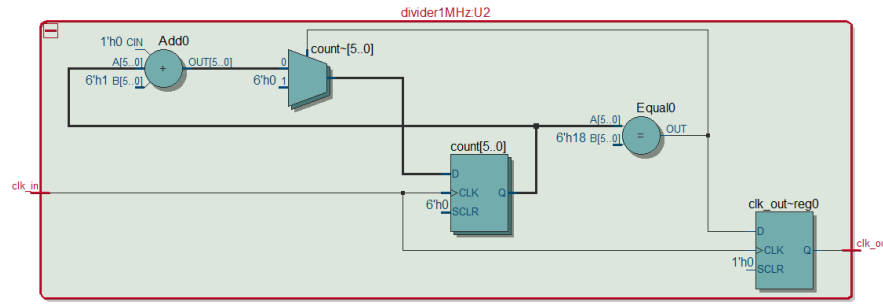


Figura 54 Circuito RTL de la etapa Divisor de Frecuencia.

Fuente: Propia

En la figura 55, se observa el circuito RTL del controlador, como ven es muy extenso, donde está compuesto por bloque de estado, multiplexores, comparadores, comparadores, flipflops tipo D, etc.

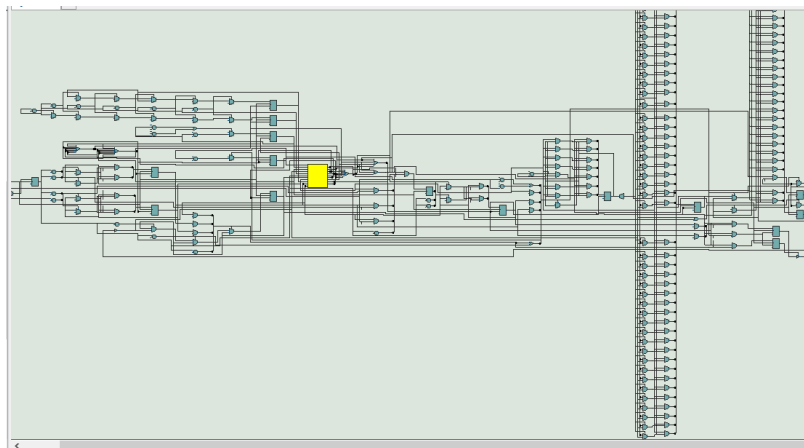


Figura 55 Circuito RTL de controlador DS18B20.

Fuente: Propia

En la figura 56, se observa el circuito RTL del controlador DS18B20 ampliado, se logra identificar el bloque de estado.

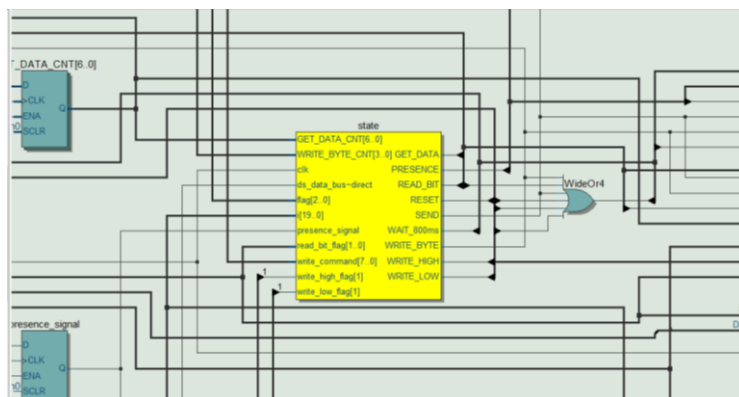


Figura 56 Circuito RTL de controlador DS18B20 ampliado.

Fuente: Propia

En la figura 57 se observa el diagrama de estado del bloque state, donde se puede encontrar 9 estados como wait\_800ms, RESET, SEND, WRITE\_BYTE, GET\_DATA, WRITE\_LOW, WRITE\_HIGH, READ\_BIT, PRESENCE.

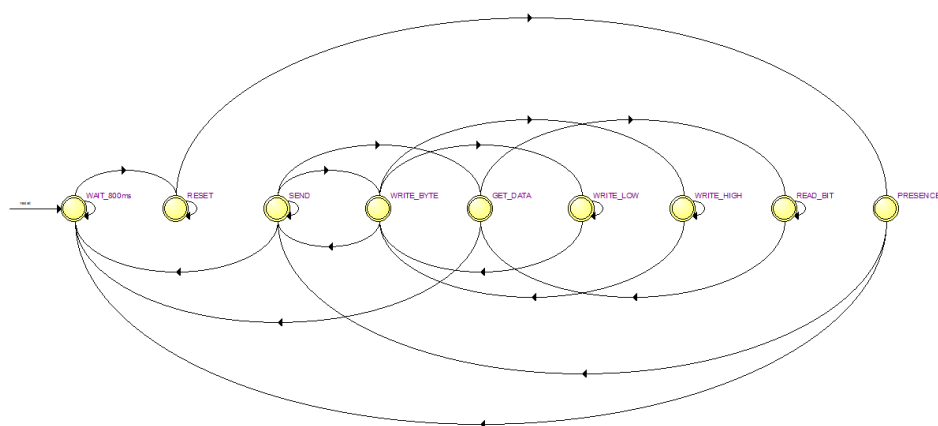


Figura 57 Diagrama de estados del bloque state, del controlador DS18B20.

Fuente: Propia

En la tabla 4 se observa la tabla de estados del bloque state del controlador DS18B20, donde se observa la secuencia del 1 a 21.

Tabla 10 Tabla de estados del bloque state

	Source State	Destination State
1	GET_DATA	WAIT_800ms
2	GET_DATA	READ_BIT
3	PRESENCE	WAIT_800ms
4	PRESENCE	SEND
5	READ_BIT	READ_BIT
6	READ_BIT	GET_DATA
7	RESET	RESET
8	RESET	PRESENCE
9	SEND	WRITE_BYTE
10	SEND	WAIT_800ms
11	SEND	SEND
12	SEND	GET_DATA
13	WAIT_800ms	WAIT_800ms
14	WAIT_800ms	RESET
15	WRITE_BYTE	SEND
16	WRITE_BYTE	WRITE_LOW
17	WRITE_BYTE	WRITE_HIGH
18	WRITE_HIGH	WRITE_BYTE
19	WRITE_HIGH	WRITE_HIGH
20	WRITE_LOW	WRITE_BYTE
21	WRITE_LOW	WRITE_LOW

Fuente: Propia

En la figura 58, se observa el circuito RTL del bloque CRC, este circuito presenta conexiones con flipflops tipo d y un bloque de estado CRC. El sistema tiene entrada de 72 bits de datos y una salida de 16 bits.

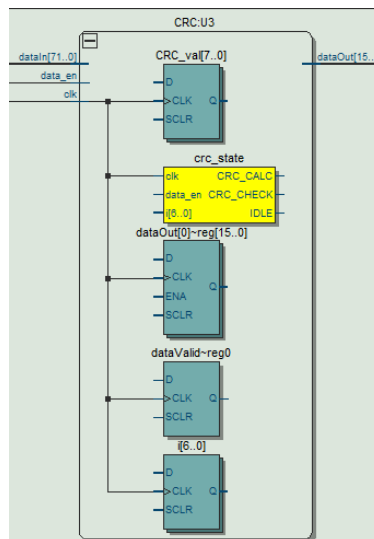


Figura 58 Circuito RTL del bloque CRC, para el controlador DS18B20.

Fuente: Propia



En la figura 59, se observa el diagrama de estados del bloque CRC\_state, donde se observa una entrada de reset y estado como IDLE, CRC\_CALC, CRC\_CHECK.

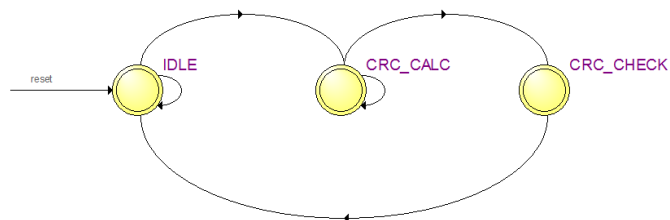


Figura 59 Diagrama de estados del bloque CRC\_state.

Fuente: Propia

En la tabla 11, Se observa el estado del bloque CRC\_state, de acuerdo la tabla el estado presenta 5 secuencias de los tres estados.

Tabla 11 Tabla de estados del bloque CRC\_state

	Source State	Destination State
1	CRC_CALC	CRC_CHECK
2	CRC_CALC	CRC_CALC
3	CRC_CHECK	IDLE
4	IDLE	IDLE
5	IDLE	CRC_CALC

Fuente: Propia

En la figura 60 se observa el circuito RTL del bloque RTL de conversor de binario a BCD, en esta parte 1 se ve la entra del valor entero de 16 bits para luego comparar, sumar y multiplexar.

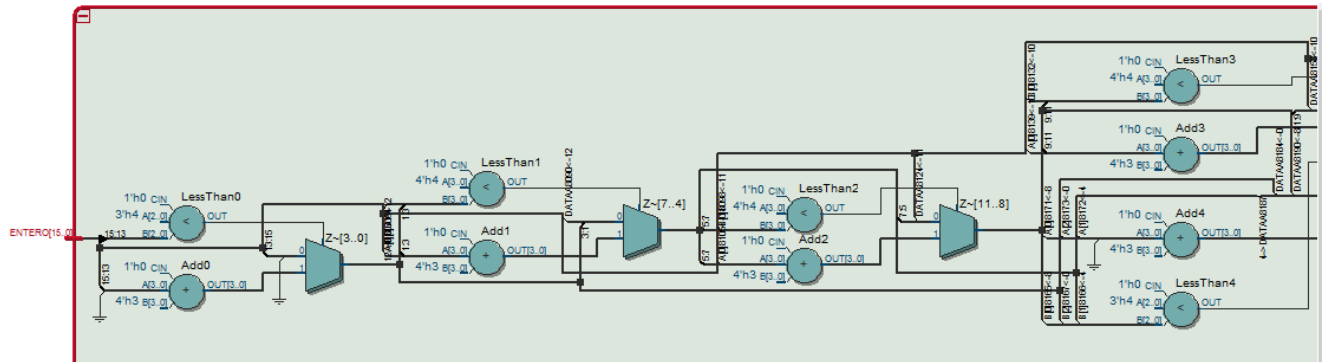


Figura 60 Circuito RTL del bloque de binario a BCD parte 1.

Fuente: Propia

En la figura 61 se observa el circuito RTL del bloque de conversión de binario a BCD parte 2. Como ven el circuito luego de dividir en dos sumadores de 4 bits, en esta parte se sigue dividiendo 3 sumadores y comparadores de 4 bits, también se debe mencionar que los multiplexores aumentan.

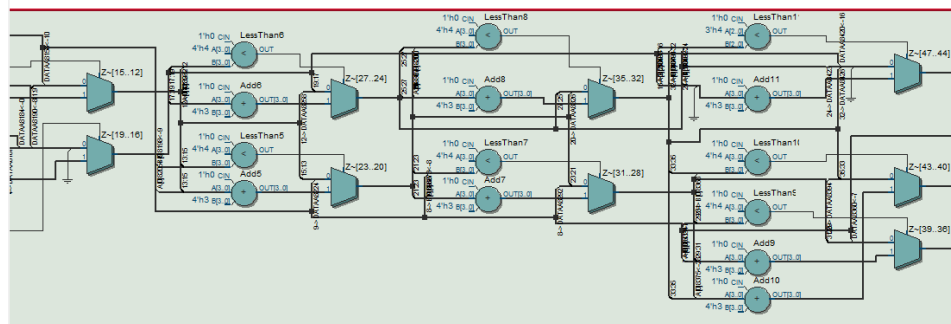
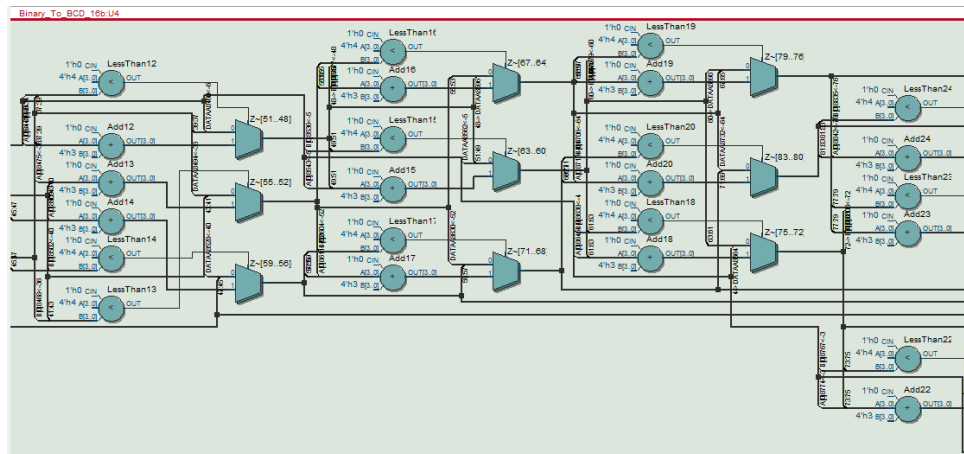


Figura 61 Circuito RTL del bloque Binario a BCD parte 2.

Fuente: Propia

En la figura 62, se observa el circuito RTL del bloque de conversión de binario a BCD parte 3. Como ven el circuito luego de dividir en 3 sumadores y comparadores de 4 bits y lo más resaltante es que ya cuenta con 83 multiplexores.



En la figura 64 se observa el circuito RTL del bloque X7seg. En este circuito diseñado se agregó para poder mostrarlo en los displays de 7 segmentos de cátodo común, para mostrar con dos enteros y dos decimales, se usara 4 displays.

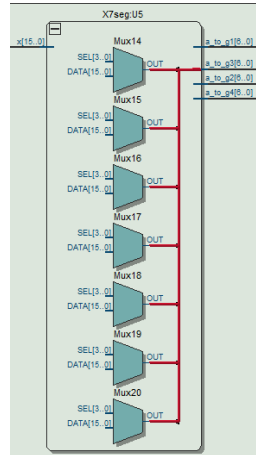


Figura 64 Circuito RTL del bloque X7seg.

Fuente: Propia

### 3.4.1.5 Bloque de conversión de datos de BCD a ASCII

En la figura 65 se observa el circuito RTL del bloque conversor de datos BCD a ASCII, como se ve en el circuito tiene 8 entradas de 4 bits cada uno, y 8 salidas de 8 bits cada uno en código ASCII.

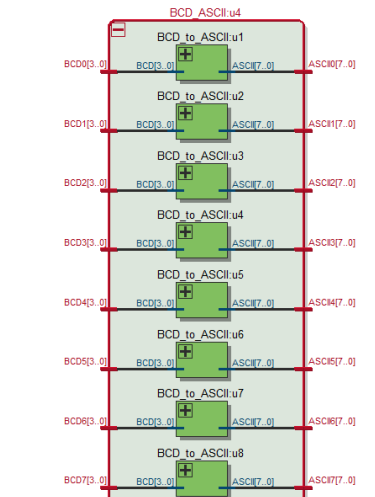


Figura 65 Circuito RTL del bloque conversor de datos BCD a ASCII.

Fuente: Propia

En la figura 66 se observa el Circuito RTL del bloque de BCD to ASCII, se debe considerar que este bloque es uno de los 8 bloques de la figura anterior, tiene una entrada de 4 bits, 3 multiplexores de 2x1, obteniendo la salida de 8 bits en ASCII.

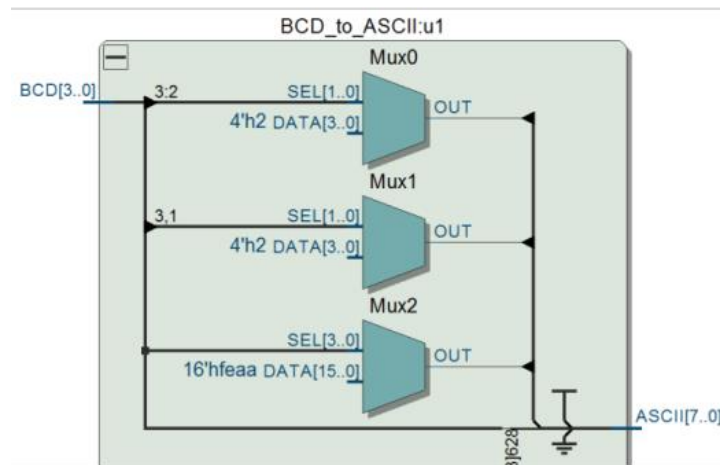


Figura 66 Circuito RTL del bloque de BCD to ASCII.

Fuente: Propia

#### 3.4.1.6 Bloque de Multiplexación de Datos Temperatura, ECG y Spo2.

En la Figura 67 se observa el Circuito RTL del bloque MUX, en este bloque tiene la función de multiplexar los datos recibidos por los controladores de los sensores de temperatura, ECG y Spo2, ya convertidos en BCD, para finalmente mandarlo al bloque de Transmisor. Este bloque tiene 13 entradas de 8 bits, un selector de 4 bits y una salida de 8 bits.

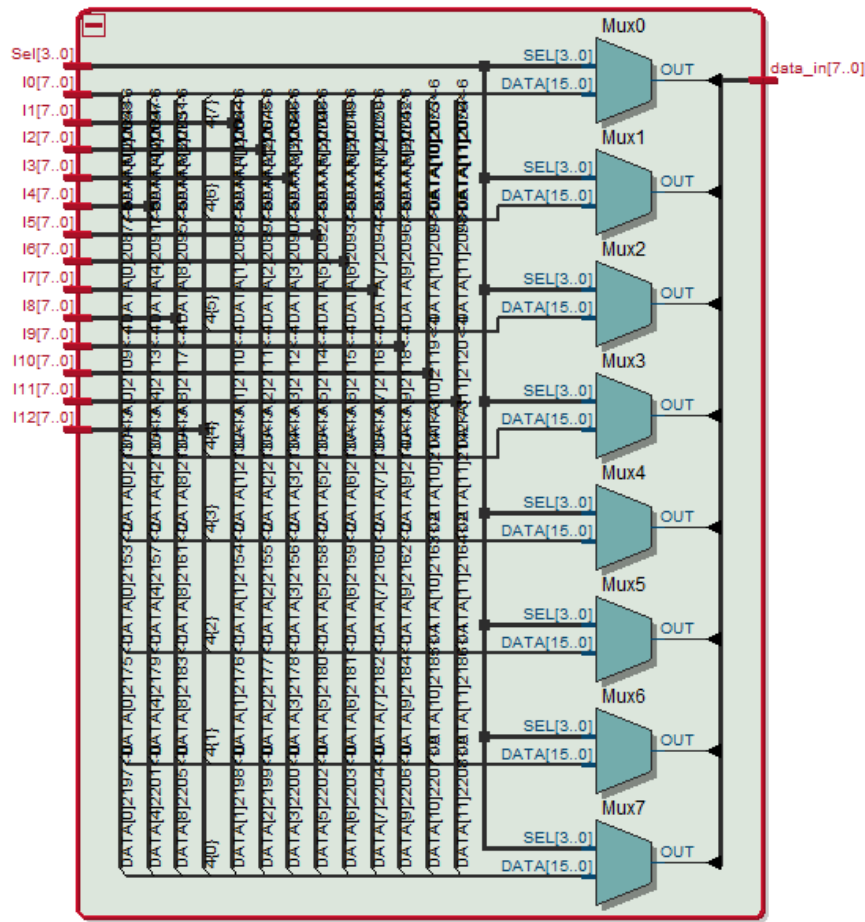


Figura 67 Circuito RTL del bloque MUX

Fuente: Propia

### 3.4.1.7 Etapa de Transmisión de datos

En la figura 68, se muestra el circuito en RTL, de la parte de Transmisión de datos, que cuenta con 5 etapas principales como divisor de frecuencia, transmisor, máquina de estado, contador y Uart. Para lograr el diseño se aplicó el principio de transmisión serial y máquina de estado.



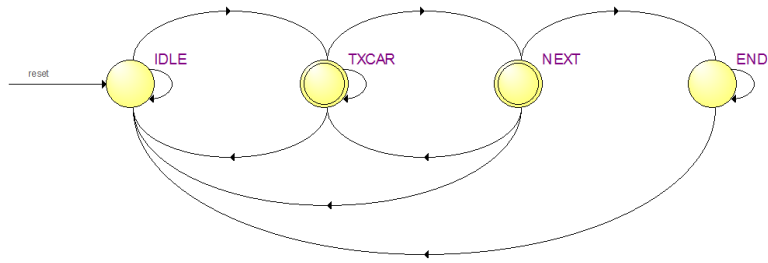


Figura 70 Diagrama de estados del bloque state (transmisor).

Fuente: Propia

En la Tabla 12 se observa las 10 secuencias de los 4 estados del bloque state.

Tabla 12 Tabla de estado del bloque state

State Table		
	Source State	Destination State
1	END	IDLE
2	END	END
3	IDLE	TXCAR
4	IDLE	IDLE
5	NEXT	TXCAR
6	NEXT	IDLE
7	NEXT	END
8	TXCAR	TXCAR
9	TXCAR	NEXT
10	TXCAR	IDLE

Fuente: Propia

En la figura 71 se observa el Circuito RTL del bloque uart\_tx, para lograr el diseño se utilizó el bloque baudgen, compuertas, sumadores, multiplexores, fliflops tipo D y un bloque de estado. El bloque tiene entradas rstn, start, clk, data de 8 bits y salida como ready, tx.



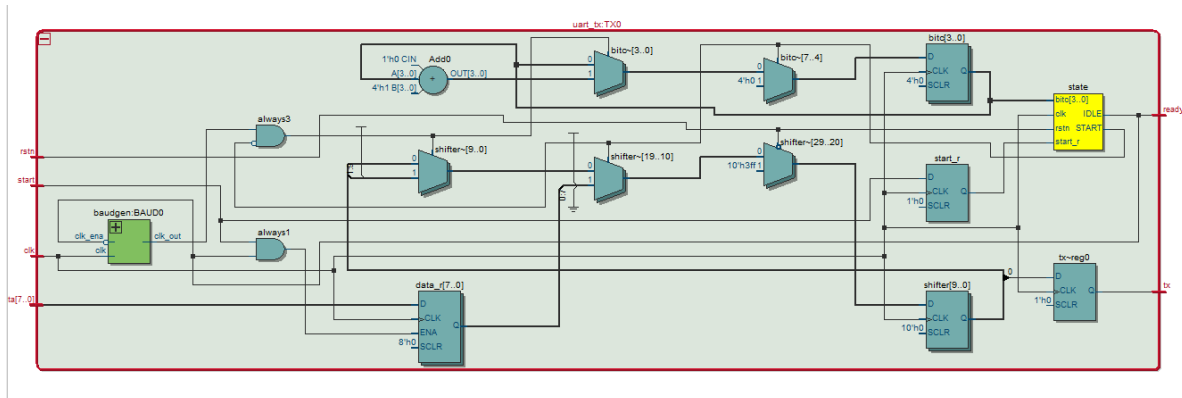


Figura 71 Circuito RTL del bloque uart\_tx

Fuente: Propia

En la Figura 72 Circuito RTL del bloque baudgen, como se ve para lograr el diseño se utilizó componentes como comparador, sumados, contador y multiplexor. La función de este bloque es obtener una salida de reloj para lograr la velocidad en baudios, el transmisor trabajara con 9600 baudios.

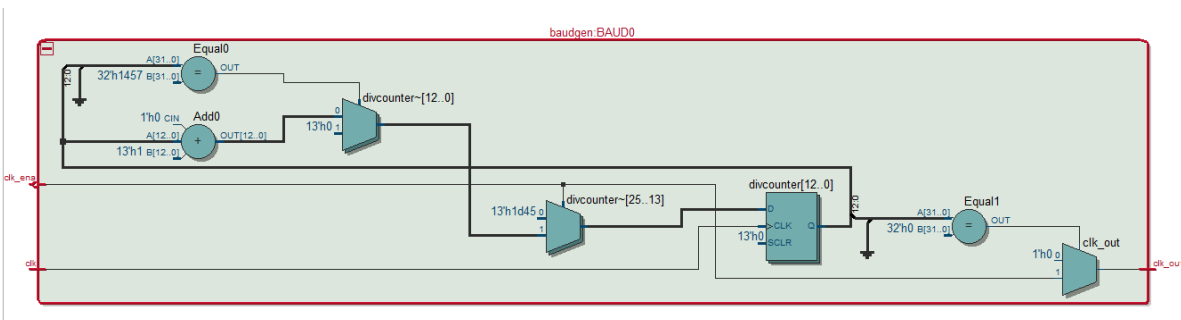


Figura 72 Circuito RTL del bloque baudgen.

Fuente: Propia

En la figura 73 se observa el Diagrama de estados del bloque state (uart), como se ve tiene 3 estados como IDLE, START y TRANS.

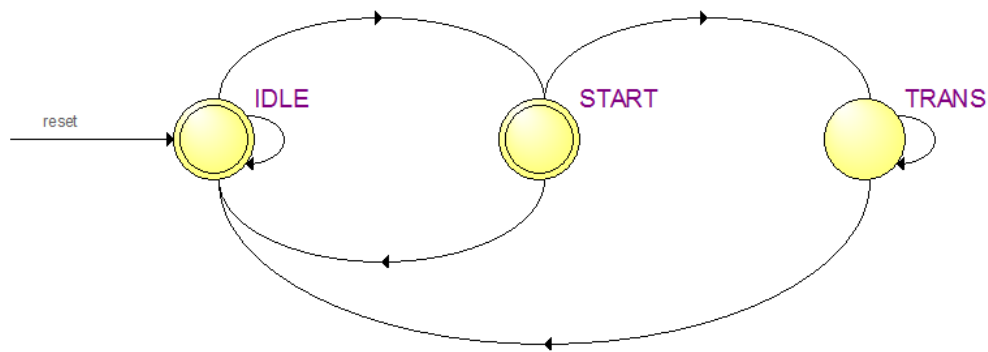


Figura 73 Diagrama de estados del bloque state (uart).

Fuente: Propia

En la Tabla 13 se observa las 6 secuencias de los estados del bloque state.

Tabla 13 Tabla de estados del bloque state.

State Table		
	Source State	Destination State
1	IDLE	START
2	IDLE	IDLE
3	START	TRANS
4	START	IDLE
5	TRANS	TRANS
6	TRANS	IDLE

Fuente: Propia

### 3.4.1.8 Comunicación serial de datos en la plataforma LabView.

En la figura 74, se observa Front panel de LabVieb 2017, para lograr el diseño se usa los siguientes controles como Waveform Graph, Thermometer, Stop Button, Visa Resource, Numeric Indicator, etc.

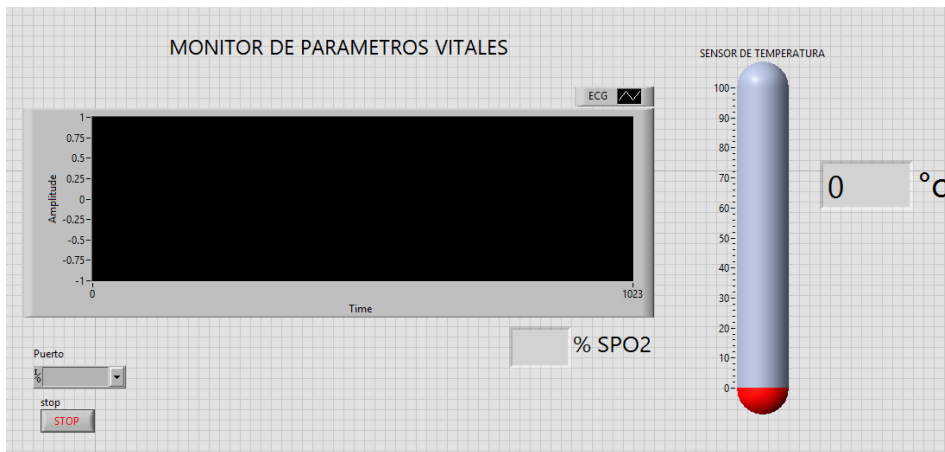


Figura 74 Panel Frontal de LabVieb 2017.

Fuente: Propia

En la figura 75, se muestra el diagrama de bloques de LabView Para recibir por el puerto serial los datos procesados por el Fpga y mostrarlos en una plataforma de LabView, para ello se debe instalar visa LabView, útil para aplicaciones de comunicación serial y puertos Ethernet. Para esta plataforma es útil el diseño de los parámetros de temperatura, Ecg y Oximetría. A continuación se mostrara los objetos y los cálculos de labView, para lograr el diseño se usó la funciones de programación y los instrumentos de entrada y salida como: Match pattern, Read buffer, Decimal String to Number, Visa read, Simple error handler.vi, Configure port y su controlador visa, Numeric constant, String const, DBL numeric const y False const.

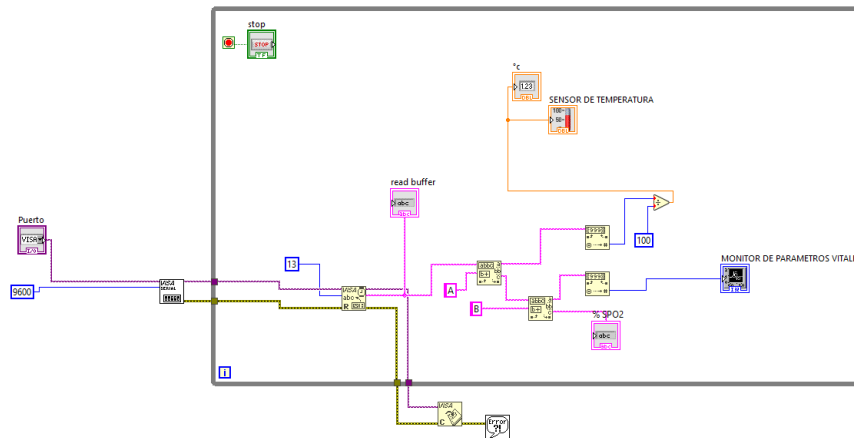


Figura 75 Diagrama de funciones e instrumentos de Visa LabView.

Fuente: Propia

### 3.4.1.9 Prueba con simulador de Paciente

En la figura 76, se muestra el simulador de paciente modelo PS-2105, Marca BCBiomedical, a lado derecho se muestra una pantalla de laptop con la plataforma LabView 2017, donde se observa los 03 parámetros, la señal ECG, la temperatura, y saturación Spo2.

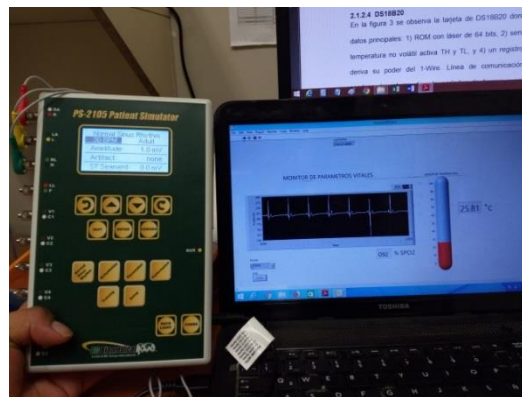


Figura 76 En la figura se observa el simulador de Ecg y el panel frontal Lab view

Fuente: Propia

En la Figura 77, se observa los módulos de comunicación como el UART, módulos de adquisición de señal como el Oxímetro, Ecg y Temperatura. Todos estos módulos conectados a la Tarjeta de FPGA DE-10Lite, con cable de comunicación serial USB, este último sirve para grabar y alimentar la tarjeta DE-10Lite.

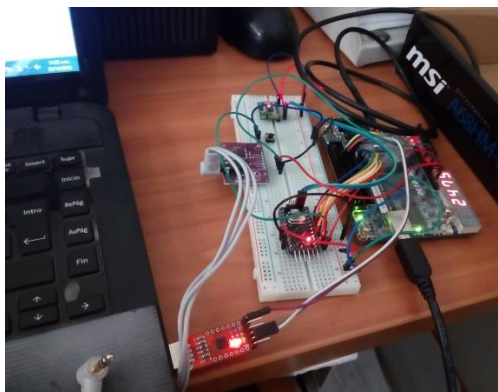


Figura 77 En la figura se observa los módulos de sensores, serial y el FPGA.

Fuente: Propia

### 3.4.1.10 Rangos de las funciones vitales del prototipo

Tabla 14 Rangos de ECG:

RANGOS DE ECG DEL PROTOTIPO	
ESPECIFICACIONES	CARACTERISTICAS
Tipo de instrumento	Electrocardiógrafo de 3 Derivaciones
Canales de entrada	Adquisición simultanea de 03 derivaciones unipolares
Visualización de formas de onda	Pantalla Lcd
Ganancia de señal	(G = 100)
Impedancia de entrada	Norma ANSI / AAMI EC11: 1991 / (R) 2001
Rango dinámica de entrada	
Tolerancia a desviación de electrodos	
Rechazo en modo común	80 dB (dc a 60 Hz)
Corriente de fuga del paciente	Norma ANSI / AAMI EC11: 1991 / (R) 2001
Corriente fuga del bastidor	
Frecuencia muestreo digital	9600 muestra/segundo
Resolución	1 mv para el bit menos significativo
Conversión A/D	10 bits
Respuesta en frecuencia	40Hz
filtros	1 polos a cepta hasta $\pm 300$ mV de potencial de media celda.
Filtro de paso bajo	Ajustable de 3 polos con ganancia ajustable
Dimensiones	4 mm x 4 mm
Requisitos de alimentación	2.0 V a 3.5 V

Fuente: Propia

Tabla 15 Rangos de Spo2:

RANGOS DE SPO2 DEL PROTOTIPO	
TIPO DE RANGO	VALORES DE RANGO
INTERVALOS DE MEDICION	
Intervalo de saturación de Spo2	1 a 100%
Dimensiones	5.6 mm x 2.8 mm x 1.2 mm 14 pines ópticamente
Temperatura de funcionamiento	40 ° C a + 85 ° C
Corriente de cierre	(0.7μA
Protocolo.	I2c
ADC	16 bits
El ancho de pulso del LED	200μs hasta 1.6ms
La frecuencia de muestreo de ADC	50 sps a 1ksps
Exactitud	
Saturación	
Adulto	70% a 100% +-2 dígitos

Fuente: Propia

Tabla 16 Rangos de Temperatura:

RANGOS DE TEMPERATURA DEL PROTOTIPO	
ESPECIFICACIONES	CARACTERISTICAS
Rango de Medición	-55 ° C a + 125 ° C
Protocolo	1-Wire®
Visualización Temp. Alta	-
Resolución de pantalla	-
Precisión	± 0.5 ° C de -10 ° C a + 85 ° C
Resolución programable	9 Bits a 12 Bits
Almacenamiento ROM	64 bits
Tiempo de Conversión	750 ms
Condición operativa	15°C a 70 °C
Rango de Fuente de alimentación	3.0V a 5.5V

Fuente: Propia

## **CAPITULO 4**

### **RESULTADOS**

#### **4.1 Análisis, pruebas y simulaciones**

##### **4.1.1 Análisis**

Tabla 17 Cuadro estadístico después de desarrollar el prototipo en el HEVES

CUADRO ESTADSTICO DESPUES DE DESARROLLAR EL PROTOTIPO EN EL HOSPITAL DE EMERGENCIAS VILLA EL SALVADOR							
N°	AREA	UBICACIÓN	CAMA	MONITORES DE F.V	PACIENTES CON MONITORES	PACIENTES SIN MONITORES	PROTOTIPO
1	EMERGENCIA	OBSERVACIONES MUJERES	10	4	4	6	0
2	EMERGENCIA	OBSERVACIONES VARONES	11	5	5	6	1
3	TOTAL		21	9	9	12	1

Fuente: Propia

Tabla 18 Cuadro de porcentaje después del prototipo

CUADRO DE PORCENTAJE DESPUES DEL PROTOTIPO		
PACIENTES TOTAL	11	100%
PACIENTES MONITORIZADOS	6	54.54%
PACIENTES SN MONITORIZAR LAS 03 FUNCIONES VITALES	5	45.45%
TOTAL DE PACIENTES DEL AREA	21	100%
PACIENTES MONITORIZADOS TOTAL	10	47.61%
PACIENTES SN MONITORIZAR LAS 03 FUNCIONES VITALES TOTAL	11	52.38%

Fuente: Propia

Tabla 19 Resultados

INCREMENTO DE MONITORIZACION DEL PACIENTE O.VARONES	9.09%
INCREMENTO TOTAL DEL AREA	4.75%

Fuente: Propia

#### 4.1.2 Pruebas con simulador.

En la figura 78 se observa la prueba y simulación del prototipo con los sensores puestos en la simulación de paciente, ambiente, saturación del dedo índice.

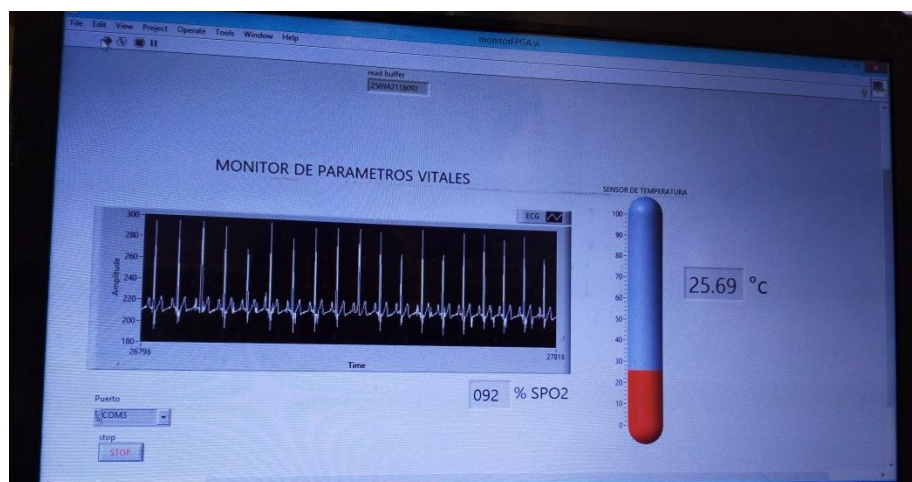


Figura 78 Prueba y simulación del prototipo en la plataforma LabView 2017

Fuente: Propia



### 4.1.3 Pruebas con paciente

#### Pruebas con Prototipo



Figura 80 Prueba de prototipo con una persona

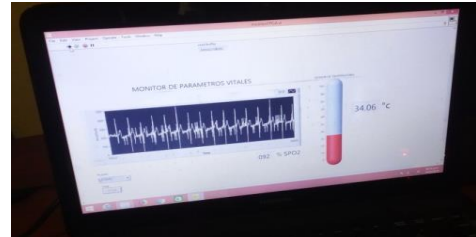


Figura 79 Los valores medidos, mostrados en la interface gráfica.

#### Pruebas con Equipo Patrón



Figura 82 Prueba en un equipo Patrón

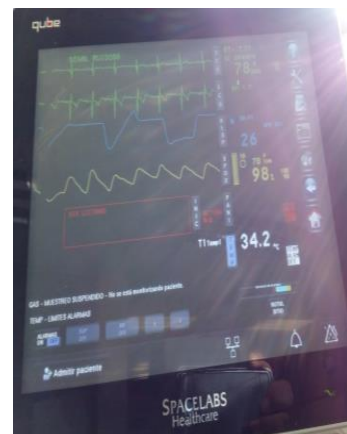


Figura 81 Los valores Obtenidos del equipo patrón

#### 4.1.4 Comparación de valores de cada parámetro del Prototipo.

Tabla 20 Comparación de valores de cada parámetro

EQUIPO	TEMPERATURA	SPO2	ECG
MONITOR PATRON	34.2	98%	78 bpm
PROTOTIPO	34.06	92%	80 bpm
DIFERENCIA	0.14	6%	2 bpm

Fuente: Propia

Se hizo la prueba el prototipo en 30, 40, 50, 60, 70, 80, 90,100 bpm.

Se observa las características de las señales ecg a diferentes latidos por minuto, se comparó con el simulador de paciente BCBIOMEDICAL.

#### 4.1.5 Cuantificación del costo del prototipo propuesto

En la tabla 21, se observa los gastos ejecutados por cada mes para desarrollar el proyecto, en mes de octubre se gastó más que los demás meses.

Tabla 21 Tabla de Flujo de gastos en el tiempo de ejecución

CONCEPTO	SETIEMBRE	OCTUBRE	NOVIEMBRE	DICIEMBRE
<b>SALDO QUE VIENE</b>	500	1000	50	0
<b>VENTAS CONTADO</b>	0	0	0	0
<b>RECUPERACION CARTERA</b>	0	0	0	0
<b>OTROS INGRESOS</b>	0	0	0	0
<b>TOTAL INGRESOS</b>	0		0	0
<b>COMPRAS DE CONTADO</b>	567	1500	0	0
<b>PAGO A PROVEEDORES</b>	0	0	0	0
<b>GASTOS ADMINISTRACION</b>	0	0	0	0
<b>OTRAS OBLIGACIONES</b>	20	20	30	10
<b>TOTAL EGRESOS</b>	587	1520	50	0
<b>SUMA QUE PASA</b>	S/. 87	S/. 520	S/. 30	S/. 10

Fuente: Propia

En la Tabla 22, se muestra los componentes más importantes y los costos de cada uno, para lograr desarrollar el prototipo. Se debe considera que los módulos son escaso y no todos funcionan como le describen.

Tabla 22 Tabla Lista de Costos.

ACCESORIOS Y COMPONENTES PARA EL DISEÑO DEL PROTOTIPO				
GLOSA	MARCA	CODIGO	CANTIDAD	P. TOTAL
MODULO DE FPGA	ALTERA	DE-10LITE	01	S/. 370.00
MODULO ECG		AD8232	02	S/. 80.00
MODULO PULSIOXIMTERO		MAX30100	01	S/. 30.00
SENSOR DE TEMPERATURA		DS18B20	01	S/. 11.00
LAPTOP	TOSHIBA		01	S/. 1100.00
SOFTWARE		LABVIEW	01	S/. 5.00
INTERFASE DE OXIMETRO			01	S /13.00
CONVERSION LOGICO			01	S/ 8.00
USB-TTL			01	S/ 15.00
CABLES Y PROTOBOARD.			01	S/ 20.00
ELECTRODOS	3M		01	S/ 20.00
ECAGEL	ALESSI		01	S/ 15.00
PAQUETE DE CABLES			02	S/ 20.00
<b>TOTAL GENERAL</b>				<b>S/. 1707.00</b>

Fuente: Propia

En la tabla n°22 se observa la cuantificación del costo del prototipo que se ha propuesto, el costo total es Mil setecientos siete nuevos soles.

## **CONCLUSIONES**

- Se diseña y desarrolla un prototipo de monitoreo de funciones vitales en FPGA para hospitales nacionales del Perú.
- Se acondiciona el módulo de adquisición de ECG en el sistema desarrollado, obteniendo la gráfica electrocardiógrafo con el valor de la FC de 80 bpm en el cuerpo humano.
- Se acondiciona el módulo de adquisición de Spo2 en el sistema desarrollado, obteniendo el valor de saturación de 94% en el cuerpo humano.
- Se acondiciona el módulo de adquisición de Temperatura en el sistema desarrollado, obteniendo valores mínimos de 20 ° C y máximo de 40°C, usando el cuerpo humano.
- Se diseña una interfaz gráfica de usuario con el programa LabView, para monitoriza los parámetros de Spo2, ECG, Temperatura.
- Se diseña y desarrolla el sistema para procesar los datos de los tres parámetros en lenguaje Vhdl, la transmisión de datos a la interface gráfica es a 9600 Baudios.
- Se incrementaría en la atención al paciente en un 4.54 % en el área observaciones adultos de Emergencia.
- Se recuerda que este prototipo es el inicio para poder desarrollar a un futuro no lejano equipos que cumplan las normas internacionales y cubrir la necesidad de alta demanda de hospitales nacionales.

### **RECOMENDACIONES**

- Se recomienda diseñar la etapa de amplificación y filtrado para la adquisición de señal de Oximetría, Spo2.
- Se recomienda comprar módulos de adquisición de señales saturación de oxígeno y Ecg probados con un código de prueba en Pic, Arduino u otros tipos de microcontroladores.
- Se recomienda investigar más de interfaces gráficas, como por ejemplo pantallas VGA, para que los datos se muestren por su periférico del microprocesador.
- Se recomienda mantener el orden cuando se programa en Vhdl, y guardar con nombre corto y reconocible de acuerdo a la función a programar.

## **GLOSARIO**

1. VI: instrumento virtual.
2. Ecg: Abreviatura de *electrocardiograma*.
3. Oxímetro: Es un aparato médico que mide la saturación de oxígeno de la sangre
4. Electrocardiograma: representación gráfica de la actividad eléctrica del corazón en función del tiempo.
5. Datasheet: ficha técnica, hoja técnica u hoja de datos es un documento que resume el funcionamiento y otras características de un componente electrónico.
6. SPO2: indica el grado de eficacia de un paciente en su respiración y lo bien que el oxígeno está siendo transportado a través del cuerpo.

## **BIBLIOGRAFÍA**

- A. Oscar Iván Varela Vélez, B. E. (24 de 04 de 2009). *PLATAFORMA DE COMUNICACIONES PARA LA MONITORIZACIÓN DE LA UNIDAD DE CUIDADOS INTENSIVOS (UCI'S) HOSPITAL SANTA CLARA E.S.E.* Recuperado el 20 de 05 de 2019, de Red de Revistas Científicas de América Latina y el Caribe, España y Portugal: <https://www.redalyc.org/html/304/30415059010/>
- Aguilar Jaramillo, J. M. (06 de 06 de 2017). *Implementación de procesamiento de señales ECG mediante filtrado digital FIR utilizando el dispositivo programable FPGA.* Recuperado el 20 de 05 de 2019, de Universidad Católica de Santiago de Guayaquil: <http://repositorio.ucsg.edu.ec/handle/3317/8346>
- Analog Devices. (2018). *Single-Lead, Heart Rate Monitor Front End AD8232.* Recuperado el 20 de 05 de 2019, de Analog Devices: <https://www.analog.com/media/en/technical-documentation/data-sheets/AD8232.pdf>
- Anderson Monroy Reza, M. F. (27 de 09 de 2016). *Revista Multidisciplinaria de Avances de Investigación.* Recuperado el 20 de 05 de 2019, de <http://www.remai.ipn.mx/index.php/REMAI/article/view/23>
- ANSI WEBSTORE. (2001). *ANSI / AAMI EC11: 1991 / (R) 2001.* Recuperado el 20 de 05 de 2019, de ANSI WEBSTORE: <https://webstore.ansi.org/standards/aami/ansiaamiec1119912001>
- Bareño, C. I. (17 de 04 de 2015). *Metodología Para la Transferencia Tecnológica en la Industria Electrónica Basada en Software Libre y Hardware Copyleft.* Recuperado el 19 de 05 de 2019, de National University of Colombia: [https://www.researchgate.net/publication/267854636\\_Metodologia\\_Para\\_la\\_Transferencia\\_Tecnologica\\_en\\_la\\_Industria\\_Electronica\\_Basada\\_en\\_Software\\_Libre\\_y\\_Hardware\\_Copyleft](https://www.researchgate.net/publication/267854636_Metodologia_Para_la_Transferencia_Tecnologica_en_la_Industria_Electronica_Basada_en_Software_Libre_y_Hardware_Copyleft)
- BSI. (2019). *EN 60601 Equipos y Sistemas Eléctricos Médicos.* Recuperado el 20 de 05 de 2019, de BSI: <https://www.bsigroup.com/es-ES/Productos-Sanitarios/Servicios-para-Productos-Sanitarios/EN-60601-Equipos-y-sistemas-electricos-medicos/>

- Bueno Gimeno, E. (10 de 02 de 2010). *Diseño de un Convertidor Analógico-Digital de Aproximaciones Sucesivas de bajo consumo y área reducida*. Recuperado el 20 de 05 de 2019, de Universidad Politécnica de Valencia: <https://riunet.upv.es/bitstream/handle/10251/19255/EnriqueBuenoGimeno.pdf>
- Caisatoa Chulca, M. E., & Santana Andrade, A. N. (02 de 2018). *Caisatoa M., Santana A. (2018) Diseño y construcción de un prototipo de monitoreo remoto de señales biomédicas fundamentales para pacientes estacionarios, Quito*. Recuperado el 20 de 05 de 2019, de Repositorio Institucional de la Universidad Politécnica Salesiana: <https://dspace.ups.edu.ec/handle/123456789/15226>
- Carlos Andrés Gómez García, J. V. (12 de 02 de 2014). *Sistema de pulsioximetría y capnografía para*. Recuperado el 20 de 05 de 2019, de Revista Ingeniería Biomédica: <http://www.scielo.org.co/pdf/rinbi/v8n15/v8n15a05.pdf>
- Carlos Andrés Gómez García, J. V. (14 de 02 de 2014). *Sistema de pulsioximetría y capnografía para dispositivos móviles Android*. Recuperado el 20 de 05 de 2019, de Revista Ingeniería Biomédica: <http://www.scielo.org.co/pdf/rinbi/v8n15/v8n15a05.pdf>
- CITIZEN Micro Humantech. (2012). *Instruction Manual for DIGITAL THERMOMETER*. Recuperado el 20 de 05 de 2019, de CITIZEN Micro Humantech: [http://www.citizen-systems.co.jp/english/support/download/electronic/healthcare/instruction/data\\_thermometer/1119\\_THERMOMETER\\_CTA301\\_Web.pdf](http://www.citizen-systems.co.jp/english/support/download/electronic/healthcare/instruction/data_thermometer/1119_THERMOMETER_CTA301_Web.pdf)
- Covidien. (2014). *Manual del operador TM Nellcor Sistema de sobremesa de monitorización de SpO2*. Recuperado el 20 de 05 de 2019, de Covidien: <https://docplayer.es/20265762-Manual-del-operador-nellcor-sistema-de-sobremesa-de-monitorizacion-de-spo-2.html>
- Echeverría Urriola, M. A. (2015). *Diseño del proceso de monitoreo a distancia y de predicción del riesgo de crisis en pacientes con hospitalización ambulatoria domiciliaria, Hospital Exequiel González Cortés*. Recuperado el 20 de 05 de 2019, de REPOSITORIO ACADEMICO DE LA UNIVERSIDAD DE CHILE: <http://repositorio.uchile.cl/handle/2250/134731>
- Edwin Rodríguez, E. B. (2013). *Desarrollo de un Monitor para señales Electrocardiográficas por medio de FPGA*. Recuperado el 20 de 05 de 2019, de ECCI, Escuela Colombiana de carreras Industriales, Bogotá-Colombia : [http://www.iiis.org/CDs2013/CD2013SCI/CISCI\\_2013/PapersPdf/XA487HV.pdf](http://www.iiis.org/CDs2013/CD2013SCI/CISCI_2013/PapersPdf/XA487HV.pdf)
- Gestion. (19 de 07 de 2018). *Contraloría alerta riesgos en hospitales del Perú por deficiencias en servicios de salud*. Recuperado el 20 de 05 de 2019, de Gestión.
- González Rodríguez, J. (07 de 03 de 2012). *Aplicaciones didácticas de PLD/FPGA para las asignaturas de sistemas digitales*. Recuperado el 20 de 05 de 2019, de Universidad Politecnica de Cataluña: <https://upcommons.upc.edu/handle/2099.1/14840>



- Grupo CSA. (2017). *CAN / CSA-C22.2 NO. 60601-2-25: 12 (R17)*. Recuperado el 20 de 05 de 2019, de Grupo CSA:  
[https://store.csagroup.org/ccrz\\_\\_ProductDetails?sku=2700069&cclcl=es\\_US](https://store.csagroup.org/ccrz__ProductDetails?sku=2700069&cclcl=es_US)
- Gutiérrez Cisternas, C. A. (2016). *Sistema de monitoreo continuo de signos vitales con sensores no invasivos y transmisión inalámbrica de datos*. Recuperado el 20 de 05 de 2019, de Universidad de Concepción Repositorio: <http://repositorio.udec.cl/handle/11594/1945>
- Jacobo Schneider, M. E. (30 de 06 de 2015). *Módulo de Procesamiento de Señales Electrocardiográficas para un Sistema de Tele-monitoreo Vía Internet*. Recuperado el 20 de 05 de 2019, de Grupo de Bioingeniería y Biofísica Aplicada.:  
[https://www.researchgate.net/publication/268289990\\_Modulo\\_de\\_Procesamiento\\_de\\_Senales\\_Electrocardiograficas\\_para\\_un\\_Sistema\\_de\\_Tele-monitoreo\\_Via\\_Internet](https://www.researchgate.net/publication/268289990_Modulo_de_Procesamiento_de_Senales_Electrocardiograficas_para_un_Sistema_de_Tele-monitoreo_Via_Internet)
- James O. Hamblen, M. D. (2002). *RAPID PROTOTYPING, Second Edition*. Recuperado el 20 de 05 de 2019, de Kluwer Academic Publishers:  
[http://ebook.pldworld.com/\\_eBook/FPGA%EF%BC%8FHDL/-Eng-/Rapid%20Prototyping%20of%20Digital%20Systems.%20A%20tutorial%20Approach%20\(James%20Hamblen,%20Michael%20Furman\).pdf](http://ebook.pldworld.com/_eBook/FPGA%EF%BC%8FHDL/-Eng-/Rapid%20Prototyping%20of%20Digital%20Systems.%20A%20tutorial%20Approach%20(James%20Hamblen,%20Michael%20Furman).pdf)
- José Miguel Gallego López, J. S. (2009). *Monitorización clínica*. Recuperado el 20 de 05 de 2019, de [http://www.bibliotecadigitalcecova.com/contenido/revistas/cat6/pdf/libro\\_61.pdf](http://www.bibliotecadigitalcecova.com/contenido/revistas/cat6/pdf/libro_61.pdf)
- Julio César Regalado Sánchez, A. E. (11 de 2016). *IMPLEMENTACIÓN EN FPGA DE SENSOR DE TEMPERATURA Y HUMEDAD RELATIVA PARA UNA FUTURA PLATAFORMA DE MONITOREO AMBIENTAL*. Recuperado el 20 de 05 de 2019, de Tecnológico Nacional de México/Instituto Tecnológico de Celaya:  
<http://www.itcelaya.edu.mx/ojs/index.php/pistas/article/download/614/549>
- Larson, S. (16 de 01 de 2018). *Convertidor de binario a BCD (VHDL)*. Recuperado el 20 de 05 de 2019, de Wiki:  
<https://www.digikey.com/eewiki/pages/viewpage.action?pageId=60030986>
- Li-Wei H. Lehman, R. P. ( 30 de junio de 2014). *Un enfoque basado en la dinámica de series temporales fisiológicas para el monitoreo de pacientes y la predicción de resultados*. Recuperado el 20 de mayo de 2019, de Biblioteca Nacional de Medicina de los EE. UU. :  
<https://www.ncbi.nlm.nih.gov/pmc/articles/PMC4346516/>
- LLAMOCA, Y. K. (2012). *Diseño de un prototipo de pulsímetro inalámbrico para la monitorización de pacientes pediátricos*. Recuperado el 20 de 05 de 2019, de PUCP | VICERRECTORADO DE INVESTIGACIÓN: <http://investigacion.pucp.edu.pe/grupos/girab/tesina/disenio-de-un-prototipo-de-pulsimetro-inalambrico-para-la-monitorizacion-de-pacientes-pediatricos/>
- Lora, P. G. (2017). *Diseño de un electrocardiograma portátil en la FPGA Zynq-7000*. Recuperado el 20 de 05 de 2019, de Escuela Técnica Superior de Ingeniería Universidad de Sevilla:

[https://idus.us.es/xmlui/bitstream/handle/11441/69386/TFG\\_Pedro%20Gutierrez%20Lora.pdf?sequence=1&isAllowed=y](https://idus.us.es/xmlui/bitstream/handle/11441/69386/TFG_Pedro%20Gutierrez%20Lora.pdf?sequence=1&isAllowed=y)

Luis Eduardo Cárdenas Gaytán, A. G. (Septiembre de 2016). *DISEÑO DE UN SISTEMA ELECTRÓNICO EMBEBIDO*. Recuperado el 22 de 05 de 2019, de Instituto Tecnológico de Celaya.: <http://itcelaya.edu.mx/ojs/index.php/pistas/article/viewFile/255/245>

Maxim Integrated. (2014). *Pulse Oximeter and Heart-Rate Sensor IC for Wearable Health , MAX30100*. Recuperado el 20 de 05 de 2019, de Maxim Integrated: <https://datasheets.maximintegrated.com/en/ds/MAX30100.pdf>

Maxim Integrated. (2018). *Programmable Resolution 1-Wire Digital Thermometer ,DS18B20*. Recuperado el 20 de 05 de 2019, de Maxim Integrated: <https://datasheets.maximintegrated.com/en/ds/DS18B20.pdf>

Mesía Benito, C. N. (24 de 10 de 2011). *Sistema de adquisición de señales biomédicas sobre FPGA*. Recuperado el 20 de 05 de 2019, de PUCP: <http://tesis.pucp.edu.pe/repositorio/handle/20.500.12404/840>

Millán Lozano, A., & Beltrán Blázquez, J. R. (2014). *Sistema inalámbrico de monitorización de constantes vitales con plataforma arduino y visualización en aplicación móvil*. Recuperado el 20 de 05 de 2019, de ZAGUAN REPOSITORIO INSTITUCIONAL DE DOCUMENTOS.: <https://zaguan.unizar.es/record/15947?ln=es#>

Montero, K. M. (02 de 2015). *DISEÑO DE UN SISTEMA NO INVASIVO DE MEDICIÓN*. Recuperado el 20 de 05 de 2019, de Universidad Politécnica de Cataluña: [https://upcommons.upc.edu/bitstream/handle/2099.1/25792/Memoria%20Final\\_Karem%20Lozano.pdf](https://upcommons.upc.edu/bitstream/handle/2099.1/25792/Memoria%20Final_Karem%20Lozano.pdf)

Mortara. (2010). *ELI 230,ELECTROCARDIÓGRAFO DE REPOSO DE 12 DERIVACIONES, MANUAL DE USUARIO*. Recuperado el 20 de 05 de 2019, de MORTARA: <https://es.scribd.com/document/281112053/Manual-Usuario-Electrocardiografo-Elis230>

Muela Galán, D. (2017). *Construcción de un pulsómetro usando FPGAS*. Recuperado el 20 de 05 de 2019, de Deposito de investigacion Universidad de Sevilla: <https://idus.us.es/xmlui/handle/11441/65128>

National Instruments. (23 de 05 de 2017). *LabVIEW 2017* . Recuperado el 20 de 05 de 2019, de National Instruments: <http://www.ni.com/download/labview-development-system-2017/6698/en/>

Niubó I., M. M. (2007). *Implementación de una Central de Monitoreo de parámetros fisiológicos en una red híbrida*. Recuperado el 20 de 05 de 2019, de Instituto Central de Investigación Digital, Habana.: <http://cencomed.sld.cu/socbio2007/trabajos/pdf/t030.pdf>

- Roberto Cabezas, D. L. (21 de 09 de 2017). *DESARROLLO DE UN PROTOTIPO DE HARDWARE Y APLICACIÓN MÓVIL PARA DETECTAR SIGNOS VITALES*. Recuperado el 20 de 05 de 2019, de Revista: Caribeña de Ciencias Sociales:  
<http://www.eumed.net/rev/caribe/2017/09/desarrollo-hardware-aplicacion.html>
- Siadén-Paiva, D. (06 de 2017). *PLATAFORMA DE UN SISTEMA EMBEBIDO PARA EL CONTROL Y MONITOREO EN TIEMPO REAL APLICADO A BIODIGESTORES PARA LA ÓPTIMA PRODUCCIÓN DE BIOGÁS*. Recuperado el 20 de 05 de 2019, de REPOSITORIO INSTITUCIONAL PIRHUA:  
[https://pirhua.udep.edu.pe/bitstream/handle/11042/3057/MAS\\_IME\\_AUT\\_027\\_REST.pdf?sequence=3&isAllowed=y](https://pirhua.udep.edu.pe/bitstream/handle/11042/3057/MAS_IME_AUT_027_REST.pdf?sequence=3&isAllowed=y)
- Silicon Laboratories. (2004). *SINGLE-CHIP USB TO UART BRIDGE, CP2102*. Recuperado el 20 de 05 de 2019, de Silicon Laboratories: <https://www.sparkfun.com/datasheets/IC/cp2102.pdf>
- Solano Bartolo, M. A. (10 de 02 de 2015). *Prototipo de sistema embebido para el monitoreo de ritmo cardiaco*. Recuperado el 20 de 05 de 2019, de Instituto Politecnico Nacional:  
<https://tesis.ipn.mx/jspui/handle/123456789/21046>
- T., A. A. (2018). *GUIA CLINICA DE CONTROL DE SIGNOS VITALES*. Santiago de Chile: Facultad Ciencias de la Salud.
- Terasic. (2017). *Tablero DE10-Lite*. Recuperado el 20 de 05 de 2019, de Terasic:  
<https://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&CategoryNo=218&No=1021>
- Tintín Durán, E. I. (02 de 2015). *Diseño y elaboración de un prototipo de monitor de signos vitales aplicando métodos no invasivos con comunicación de datos a dispositivos móviles*. Recuperado el 20 de 05 de 2019, de Repositorio Institucional de la Universidad Politécnica Salesiana : <https://dspace.ups.edu.ec/handle/123456789/7982>
- UL. (25 de 04 de 2003). *UL 60601-1, Equipo eléctrico médico, Parte 1: Requisitos generales de seguridad*. Recuperado el 20 de 05 de 2019, de UL:  
[https://standardscatalog.ul.com/standards/en/standard\\_60601-1\\_1](https://standardscatalog.ul.com/standards/en/standard_60601-1_1)
- VIZCAINO, R. G. (2014). *SIMULADOR VIRTUAL DE UN MONITOR DE*. Recuperado el 20 de 05 de 2019, de UNIVERSIDAD NACIONAL AUTÓNOMA:  
<http://www.ptolomeo.unam.mx:8080/xmlui/bitstream/handle/132.248.52.100/4261/Tesis.pdf?sequence=2>

## ANEXO

### Anexo 1 Código para el código Jerárquico con el nombre de Sensores\_FPGA

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
entity Sensores_FPGA is
    port( CLK : in std_logic;
          dato_sPo2: in std_logic_vector(7 downto 0);
          Dq      : inout std_LOGIC;
          G1      :      out std_LOGIC_VECTOR(6 downto 0);
          G2      :      out std_LOGIC_VECTOR(6 downto 0);
          G3      :      out std_LOGIC_VECTOR(6 downto 0);
          G4      :      out std_LOGIC_VECTOR(6 downto 0);
          Tx      : out std_LOGIC
        );
end Sensores_FPGA;
architecture solucion of Sensores_FPGA is
    component TEMPERATURA is
        Port (
            MHZ50 : in  STD_LOGIC;

            DQ    : inout STD_LOGIC;

            D0      : out  STD_LOGIC_VECTOR (3 downto 0);
            D1      : out  STD_LOGIC_VECTOR (3 downto 0);
            D2      : out  STD_LOGIC_VECTOR (3 downto 0);
            D3      : out  STD_LOGIC_VECTOR (3 downto 0)
        );
    end component;
    -----
    component ECG is
        port( CLK: in std_logic;
              C0,C1,C2,C3: out std_logic_vector(3 downto 0)
            );
    end component;
    -----
    component SPO2 is
        port ( saturacion: in std_logic_vector (7 downto 0);
              data_sp0,data_sp1,data_sp2: out std_logic_vector(7 downto 0)
            );
    end component;
    -----

end solución
```

## Anexo 2 Códigos en VHDL para la etapa de Temperatura.

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
entity TEMPERATURA is
  Port (
    MHZ50 : in  STD_LOGIC;
    a_to_g1 : out STD_LOGIC_VECTOR (6 downto 0);
           a_to_g2 : out STD_LOGIC_VECTOR (6 downto 0);
           a_to_g3 : out STD_LOGIC_VECTOR (6 downto 0);
           a_to_g4 : out STD_LOGIC_VECTOR (6 downto 0);
    DQ   : inout STD_LOGIC;
           D0       : out  STD_LOGIC_VECTOR (3 downto 0);
           D1       : out  STD_LOGIC_VECTOR (3 downto 0);
           D2       : out  STD_LOGIC_VECTOR (3 downto 0);
           D3       : out  STD_LOGIC_VECTOR (3 downto 0);
  );
end TEMPERATURA;
architecture Behavioral of TEMPERATURA is
  COMPONENT DS18B20
    PORT(
      clk1m : IN std_logic;
      ds_data_bus : INOUT std_logic;
      crc_en : OUT std_logic;
      dataOut : OUT std_logic_vector(71 downto 0)
    );
  END COMPONENT;
  COMPONENT divider1MHz
    PORT(
      clk_in : IN std_logic;
      clk_out : OUT std_logic
    );
  END COMPONENT;
  COMPONENT CRC
    PORT(
      clk : IN std_logic;
      data_en : IN std_logic;
      dataIn : IN std_logic_vector(71 downto 0);
      dataOut : OUT std_logic_vector(15 downto 0);
      dataValid : OUT std_logic
    );
  END COMPONENT;
  COMPONENT Binary_To_BCD_16b
    PORT(
      ENTERO : IN std_logic_vector(15 downto 0);
      POINT : IN std_logic_vector(3 downto 0);
      BCD : OUT std_logic_vector(18 downto 0);
    );
  END COMPONENT;
```

### Anexo 3 Códigos en VHDL para la etapa de ECG

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
entity ECG is
port( CLK: in std_logic;
      C0,C1,C2,C3: out std_logic_vector(3 downto 0)
    );
end ECG;
architecture RTL of ECG is
component ADC is
port ( MAX10_CLK1_50: in std_logic;
      SW: in std_logic_vector(2 downto 0);
      LEDR: out std_logic_vector(9 downto 0)
    );
end component;
component binario_to_BCD is
  GENERIC(
    NBITS : integer := 10; -- Cantidad de bits del número binario.
    NSALIDA: integer := 13 -- Cantidad de bits de salida en formato BCD.
  );
  PORT(
    num_bin: in STD_LOGIC_VECTOR(NBITS-1 downto 0);
    num_bcd: out STD_LOGIC_VECTOR(NSALIDA-1 downto 0)
  );
end component;
signal swi : std_logic_vector(2 downto 0):="000";
signal ADC_out : std_LOGIC_VECTOR(9 downto 0);
signal BCD : std_LOGIC_VECTOR(12 downto 0);
begin
u1: ADC port map( MAX10_CLK1_50 => CLK,
                  SW => swi,
                  LEDR => ADC_out);
u2: binario_to_BCD port map( num_bin => ADC_out,
                             num_bcd => BCD);

    c0 <= BCD(3 downto 0);
    c1 <= BCD(7 downto 4);
    c2 <= BCD(11 downto 8);
    c3 <= "000" & BCD(12);

end RTL;
```

## Anexo 4 Códigos en VHDL para la etapa de Spo2.

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
entity SPO2 is
port ( saturacion: in std_logic_vector (7 downto 0);
      data_sp0,data_sp1,data_sp2: out std_logic_vector(7 downto 0)
      );
end SPO2;
architecture solucion of SPO2 is
component binario8_BCD is
  GENERIC(
    NBITS : integer := 8; -- Cantidad de bits del número binario.
    NSALIDA: integer := 10 -- Cantidad de bits de salida en formato BCD.
  );
  PORT(
    num_bin: in STD_LOGIC_VECTOR(NBITS-1 downto 0);
    num_bcd: out STD_LOGIC_VECTOR(NSALIDA-1 downto 0)
  );
end component;
component BCD_to_ASCII is
port( BCD: in std_logic_vector(3 downto 0);
      ASCII: out std_logic_vector(7 downto 0)
      );
end component;
-----
signal bcd_spo0: std_logic_vector(9 downto 0);
begin
u1: binario8_BCD port map (saturacion,bcd_spo0);
u2: BCD_to_ASCII port map(bcd_spo0(3 downto 0),data_sp0);
u3: BCD_to_ASCII port map(bcd_spo0(7 downto 4),data_sp1);
u4: BCD_to_ASCII port map("00"&bcd_spo0(9 downto 8),data_sp2);
end solucion;
```

## Anexo 5 Códigos en VHDL para la etapa de BCD\_ASCII

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
entity BCD_ASCII is
port( BCD0,BCD1,BCD2,BCD3,BCD4,BCD5,BCD6,BCD7: in std_logic_vector(3 downto 0);
      ASCII0,ASCII1,ASCII2,ASCII3,ASCII4,ASCII5,ASCII6,ASCII7: out std_logic_vector(7 downto 0)
      );
end BCD_ASCII;
architecture solucion of BCD_ASCII is
component BCD_to_ASCII is
port( BCD: in std_logic_vector(3 downto 0);
      ASCII: out std_logic_vector(7 downto 0)
      );
end component;
begin
```

```

u1: BCD_to_ASCII port map(BCD0,ASCII0);
u2: BCD_to_ASCII port map(BCD1,ASCII1);
u3: BCD_to_ASCII port map(BCD2,ASCII2);
u4: BCD_to_ASCII port map(BCD3,ASCII3);
u5: BCD_to_ASCII port map(BCD4,ASCII4);
u6: BCD_to_ASCII port map(BCD5,ASCII5);
u7: BCD_to_ASCII port map(BCD6,ASCII6);
u8: BCD_to_ASCII port map(BCD7,ASCII7);
end solucion;

```

## Anexo 6 Códigos en VHDL para la etapa de MUX.

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
entity MUX is
port( I0,I1,I2,I3,I4,I5,I6,I7,I8,I9,I10,I11,I12: in std_logic_vector(7 downto 0);
      Sel : in std_logic_vector(3 downto 0);
      data_in :out std_logic_vector(7 downto 0)
);
end MUX;
architecture solucion of MUX is
begin
with Sel select data_in <= I0 when "0000",--0
                                     I1 when "0001",--1
                                     I2 when "0010",--2
                                     I3 when "0011",--3
                                     I4 when "0100",--4
                                     I5 when "0101",--5
                                     I6 when "0110",--6
                                     I7 when "0111",--7
                                     I8 when "1000",--8
                                     I9 when "1001",--9
                                     I10 when "1010",--10
                                     I11 when "1011",--11
                                     I12 when others;--12-etc

end solucion;

```



## Anexo 7 Códigos en VHDL para la etapa de Transmisor Serial.

```
//-----  
//-- Transmisor serie  
//-----  
//-- Comprobado su funcionamiento a todas las velocidades estandares:  
//-- 300, 600, 1200, 2400, 4800, 9600, 19200, 38400, 57600, 115200  
//-----  
`include "baudgen.vh"  
`include "divider.vh"  
//-- Modulo para envio de una cadena por el puerto serie  
module transmisor (input wire clk, //-- Reloj del sistema  
                   input [7:0] data_serie, //Entrada de datos del multiplexor  
                   output wire tx, //-- Salida de datos serie  
                   output [3:0] selector//seleccion del dato multiplexor  
                   );  
//-- Velocidad a la que hacer las pruebas  
parameter BAUD = `B9600;  
//-- Tiempo de envio  
parameter DELAY = `T_1ms;  
//-- Reset  
reg rstn = 0;  
//-- Señal de listo del transmisor serie  
wire ready;  
//-- Dato a transmitir registrado  
reg [7:0] data_r;  
//-- Señal para indicar al controlador el comienzo de la transmision  
//-- de la cadena  
reg transmit_r;  
wire transmit;  
//-- Microordenes  
reg cena; //-- Counter enable (cuando cena = 1)  
reg start; //-- Transmitir cadena (cuando transmit = 1)  
//-----  
//-- RUTA DE DATOS  
//-----  
//-- Inicializador  
always @(posedge clk)  
    rstn <= 1;  
//-- Instanciar la Unidad de transmision  
uart_tx #(BAUD(BAUD))  
    TX0 (  
        .clk(clk),  
        .rstn(rstn),  
        .data(data_r),  
        .start(start),  
        .ready(ready),  
        .tx(tx)  
    );  
  
//-- Multiplexor con los caracteres de la cadena a transmitir
```







